

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030001217 A  
 (43)Date of publication of application: 06.01.2003

(21)Application number: 1020020006192  
 (22)Date of filing: 04.02.2002  
 (30)Priority: 26.06.2001 KR  
 1020010036624

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.  
 (72)Inventor: JUNG, DONG JIN  
 KIM, GI NAM  
 KIM, HYEON HO  
 LEE, GYU MAN  
 NAM, SANG DON

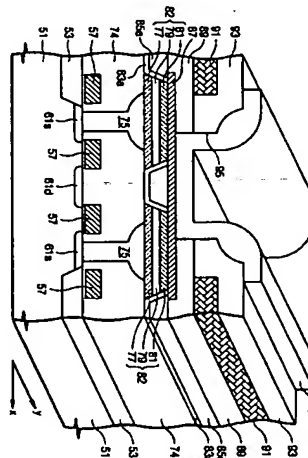
(51)Int. Cl. H01L 27/105

(54) FERROELECTRIC MEMORY DEVICE HAVING EXTENDED PLATE LINE AND METHOD FOR FABRICATING THE SAME

(57) Abstract:

PURPOSE: A ferroelectric memory device having an extended plate line and a method for fabricating the same are provided to maximize a contact area between a plate line and an upper electrode and improve an insulating characteristic between the plate line and a main word line.

CONSTITUTION: An isolation layer(53) is formed on a semiconductor substrate(51). A plurality of insulated gate electrodes(57) are formed across the isolation layer(53). An active region is divided into one common drain region(61d) and two source regions(61s). A lower interlayer dielectric(74) is deposited on a whole surface of the above structure. A plurality of contact plugs(75) are connected with the source regions(61s). A ferroelectric capacitor(82) is arranged on the whole surface of the above structure. The ferroelectric capacitor(82) includes a lower electrode(77), a ferroelectric layer pattern(79), and an upper electrode(81). An insulating layer pattern(85a) are formed on a gap region between the ferroelectric capacitors(82). A local plate line(87) is formed on the ferroelectric capacitor(82) and the insulating layer pattern(85a). The first and the second upper interlayer dielectric(89,93) are deposited thereon. A main word line(91) is inserted between the first and the second upper interlayer dielectric(89,93). A main plate line(97) is connected with the local plate line(87) through a slit type via hole(95).



&amp;copy; KIPO 2003

Legal Status

Date of request for an examination (20020204)

Final disposal of an application (registration)

Date of final disposal of an application (20040130)

출력 일자: 2004/8/31

발송번호 : 9-5-2004-034892174

수신 : 서울 강남구 역삼동 827-25 3층 (고려국

발송일자 : 2004.08.26

특허법률사무소)

제출기일 : 2004.10.26

임창현 귀하

135-080

## 특허청 의견제출통지서

출원인 명칭 삼성전자주식회사 (출원인코드: 119981042713)

주소 경기도 수원시 영통구 매탄동 416

대리인 성명 임창현 외 1 명

주소 서울 강남구 역삼동 827-25 3층 (고려국특허법률사무소)

출원번호 10-2003-0012765

발명의 명칭 확장된 플레이트 전극을 갖는 강유전체 기억소자 및 그제조방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지 하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제 25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장 승인통지는 하지 않습니다.)

### [아 유]

이 출원의 특허청구범위 전항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지정한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제 2항의 규정에 의하여 특허를 받을 수 없습니다.

- 본원의 청구범위 전항에 기재된 발명은 플레이트 라인이 강유전체 커패시터들의 상부전극들과 직접적으로 접촉하는 것을 특징으로 하는 강유전체 기억소자이나, 인용문헌(공개특허 제2003-1217호(2003.01.06))에는 이같은 강유전체 커패시터 상부면들과 직접 접촉하는 플레이트 라인을 포함한 강유전체 메모리 소자가 실시되어 있으므로, 본원의 청구범위 전항에 기재된 발명은 상기 기술분야에서 통상의 지식을 가진 자가 인용문헌에 기재된 발명에 의하여 용이하게 발명할 수 있습니다.

### [참 부]

첨부1 공개특허 제2003-1217호(2003.01.06) 1부. 끝.

2004.08.26

특허청

전기전자심사국

응용소자심사담당관실

심사관 전범재



### <<안내>>

문의사항이 있으시면 ☎ 042)481-5740 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
H01L 27/105

(11) 공개번호 특2003-0001217  
(43) 공개일자 2003년01월06일

(21) 출원번호 10-2002-0006192  
(22) 출원일자 2002년02월04일  
(30) 우선권주장 1020010036624 2001년06월26일 대한민국(KR)  
(71) 출원인 삼성전자 주식회사  
(72) 발명자 경기 수원시 팔달구 매탄3동 416번지 남상돈  
서울특별시강남구도곡동951-18번지월산주택304호 이규만  
경기도용인시기흥읍신갈리갈현마을현대홈타운아파트504동1001호 김현호  
경기도용인시수지읍흥덕천리한국아파트102동506호 정동진  
경기도수원시팔달구영통동두산아파트804동202호 김기남  
경기도안양시동안구평촌동꿈나루라이프아파트108동502호 임창현  
(74) 대리인 임창현

심사청구 : 있음

(54) 확장된 플레이트 라인을 갖는 강유전체 메모리소자 및 그제조방법

요약

강유전체 메모리소자 및 그 제조방법을 제공한다. 이 강유전체 메모리소자는 하나의 확장된 플레이트 라인이 셀 어레이 영역 내에서 서로 이웃하는 적어도 2개의 행들 상에 배열된 강유전체 커패시터들과 직접적으로 접촉된다. 이와는 달리, 서로 이웃한 적어도 2개의 행들 상에 배열된 강유전체 커패시터들은 하나의 공통 상부전극을 공유할 수도 있다. 이 경우에, 상기 공통 상부전극은 상기 확장된 플레이트 라인과 직접적으로 접촉한다. 여기서, 상기 플레이트 라인은 국부 플레이트 라인 및 주 플레이트 라인으로 구성된다. 이와는 달리, 상기 플레이트 라인은 상기 국부 플레이트 라인 또는 상기 주 플레이트 라인만으로 구성될 수도 있다. 상기 국부 플레이트 라인은 셀 어레이 영역 내에 복수개의 강유전체 커패시터들을 형성한 다음, 그 결과물 전면에 하부 플레이트막을 형성하고, 이를 패터닝하여 형성한다. 상기 주 플레이트 라인은 상기 복수개의 강유전체 커패시터를 또는 상기 국부 플레이트 라인을 갖는 반도체기판의 전면에 상부 용간절연막을 형성하고, 상기 상부 용간절연막을 패터닝하여 슬릿형 비아홀을 형성하고, 상기 슬릿형 비아홀을 덮는 상부 플레이트막을 형성하고, 상기 상부 플레이트막을 패터닝하여 형성한다.

도표도

도5

명세서

도면의 간단한 설명

도 1 내지 도 3은 종래의 강유전체 메모리소자를 제조하는 방법을 설명하기 위한 단면도들이다.  
도 4는 본 발명에 따른 강유전체 메모리소자의 셀 어레이 영역을 보여주는 평면도이다.  
도 5는 본 발명의 일 실시예에 따른 강유전체 메모리소자를 설명하기 위한 사시도이다.  
도 6은 본 발명의 다른 실시예에 따른 강유전체 메모리소자를 설명하기 위한 사시도이다.  
도 7은 본 발명의 또 다른 실시예에 따른 강유전체 메모리소자를 설명하기 위한 사시도이다.  
도 8 내지 도 14는 도 4의 1-1'에 따라 본 발명의 일 실시예에 따른 강유전체 메모리소자의 제조방법을 설명하기 위한 단면도들이다.  
도 15 내지 도 19는 도 4의 1-1'에 따라 본 발명의 다른 실시예에 따른 강유전체 메모리소자의 제조방법을 설명하기 위한 단면도들이다.

도 20 내지 도 24는 도 4의 I-I'에 따라 본 발명의 또 다른 실시예에 따른 강유전체 메모리소자의 제조 방법을 설명하기 위한 단면도들이다.  
 도 25는 본 발명의 변형예에 따른 강유전체 메모리소자의 셀 어레이 영역을 보여주는 평면도이다.  
 도 26은 도 25의 II-II'에 따라 본 발명의 변형예에 따른 강유전체 메모리소자 및 그 제조방법을 설명하기 위한 단면도들이다.

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자 및 그 제조방법에 관한 것으로, 특히 확장된 플레이트 라인을 갖는 강유전체 메모리소자 및 그 제조방법에 관한 것이다.

반도체소자들 중에 강유전체 메모리소자는 전원이 공급되지 않을지라도 전 상배의 데이터(previous data)를 간직하는 비휘발성 특성을 갖는다. 이에 더하여, 강유전체 메모리소자는 디램 및 에스램과 같이 낮은 전원전압에서 동작하는 특성을 갖는다. 따라서, 강유전체 메모리소자는 스마트 카드(smart card) 등에 널리 사용될 수 있는 유력한 후보로 각광을 받고 있다.

도 1 내지 도 3은 종래의 강유전체 메모리소자를 제조하는 방법을 설명하기 위한 단면도들이다.

도 1을 참조하면, 반도체 기판(11)의 소정영역에 소자분리막(13)을 형성하여 활성영역을 한정한다. 상기 활성영역 및 소자분리막(13)을 가로지르는 복수개의 절연된 게이트 전극들(15), 즉 워드라인들을 형성한다. 이어서, 상기 게이트 전극들(15) 사이의 활성영역에 불순물 이온을 주입하여 소오스/드레인 영역들(17s, 17d)을 형성한다. 상기 소오스/드레인 영역들(17s, 17d)이 형성된 결과물의 전면에 제1 하부 층간절연막(19)을 형성한다. 상기 제1 하부 층간절연막(19)을 패터닝하여 상기 소오스 영역들(17s)을 노출시키는 스토리지 노드 콘택홀들을 형성한다. 다음에, 상기 스토리지 노드 콘택홀들 내에 콘택 플러그들(21)을 형성한다.

도 2를 참조하면, 상기 콘택 플러그들(21)을 갖는 반도체기판의 전면에 2차원적으로 배열된 강유전체 커패시터들(32)을 형성한다. 상기 각 강유전체 커패시터(32)는 차례로 적층된 하부전극(27), 강유전체막 패턴(29) 및 상부전극(31)으로 구성된다. 상기 하부전극들(27)의 각각은 상기 콘택 플러그(21)를 덮는다. 상기 강유전체 커패시터들(32)을 갖는 반도체기판의 전면에 제1 상부 층간절연막(33)을 형성한다. 이어서, 상기 제1 상부 층간절연막(33) 상에 상기 게이트 전극들(15)과 평행한 복수개의 주 워드라인들(main word lines; 35)을 형성한다. 상기 각 주 워드라인(35)은 통상적으로 4개의 워드라인들(15)을 제어한다.

도 3을 참조하면, 상기 주 워드라인들(35)을 갖는 반도체기판의 전면에 제2 상부 층간절연막(37)을 형성한다. 상기 제2 상부 층간절연막(37) 및 제1 상부 층간절연막(33)을 패터닝하여 상기 상부전극들(31)을 노출시키는 비아홀들(39)을 형성한다. 이때, 상기 각 비아홀(39)의 종횡비(aspect ratio)를 감소시키기 위하여 습식식각 공정 및 건식식각 공정을 사용할 수도 있다. 이 경우에, 도 3에 도시된 바와 같이 상기 비아홀(39)은 경사진 상부측벽(39a)을 갖는다. 그러나, 상기 습식식각 공정을 과도하게 실시하면, 상기 주 워드라인(35)이 노출될 수 있다.

한편, 상기 비아홀(39)의 종횡비를 감소시키기 위한 다른 방법으로 상기 비아홀(39)의 직경을 증가시킬 수도 있다. 그러나, 상기 비아홀(39) 및 이와 인접한 상기 주 워드라인(35) 사이의 간격(s)은 강유전체 메모리소자의 집적도가 증가함에 따라 점점 감소한다. 따라서, 상기 비아홀(39)의 직경을 증가시키는 경우에는, 상기 비아홀(39)을 형성하기 위한 사진공정을 실시하는 동안 정밀한 정렬(precise alignment)이 요구된다.

계속해서, 상기 비아홀들(39)을 덮는 복수개의 플레이트 라인들(41)을 형성한다. 상기 플레이트 라인들(41)은 상기 주 워드라인들(35)과 평행하도록 배치된다.

상술한 바와 같이 종래의 기술에 따르면, 상기 비아홀들의 종횡비를 감소시키면, 상기 주 워드라인들이 노출될 수 있는 확률이 증가한다. 이에 따라, 상기 상부전극 및 상기 플레이트 라인 사이의 콘택 불량(contact failure)과 아울러 상기 플레이트 라인 및 상기 주 워드라인 사이의 전기적인 단락(electrical short)을 모두 해결하기가 어렵다.

##### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는 플레이트 라인 및 상부전극 사이의 콘택면적을 극대화시킬 수 있음은 물론 플레이트 라인 및 주 워드라인 사이의 절연특성을 확보할 수 있는 강유전체 메모리소자를 제공하는 데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 플레이트 라인 및 상부전극 사이의 콘택면적을 극대화시킬 수 있음은 물론 플레이트 라인 및 주 워드라인 사이의 절연특성을 확보할 수 있는 강유전체 메모리소자의 제조방법을 제공하는 데 있다.

##### 발명의 구성 및 작용

상기 기술적 과제를 이루기 위하여 본 발명은 서로 이웃하는 적어도 2개의 행들(rows) 상에 배열된 상부 전극들과 직접적으로 접촉하는 확장된(expanded) 플레이트 라인을 갖는 강유전체 메모리소자를 제공한다. 이 강유전체 메모리소자는 반도체기판 상에 형성된 하부 층간절연막을 구비한다. 상기 하부 층간절연막

상에 복수개의 강유전체 커패시터들이 행 방향 및 열 방향을 따라 2차원적으로 배열된다. 상기 복수개의 강유전체 커패시터들을 갖는 반도체기판의 전면은 상부 총간절연막에 의해 덮여진다. 상기 상부 총간절연막은 차례로 적층된 제1 및 제2 상부 총간절연막으로 구성된다. 상기 상부 총간절연막 내에 상기 열 방향과 평행한 복수개의 플레이트 라인들이 배치된다. 상기 플레이트 라인들의 각각은 서로 이웃하는 적어도 2개의 행들(rows) 내에 배열된 상기 강유전체 커패시터들의 상부면들과 직접적으로 접촉한다. 결과적으로, 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 강유전체 커패시터들은 하나의 플레이트 라인을 공유한다. 또한, 상기 제1 및 제2 상부 총간절연막들 사이에 복수개의 주 워드라인(main word lines)들이 배치될 수 있다. 상기 주 워드라인들은 상기 열 방향과 평행하다.

한편, 상기 플레이트 라인은 적어도 2개의 인접한 행들 및 적어도 하나의 열 내에 배열된 상기 강유전체 커패시터들과 접촉할 수도 있다.

상기 플레이트 라인은 상기 상부 총간절연막에 의해 덮여진 국부 플레이트 라인(local plate line)이거나, 상기 상부 총간절연막을 관통하는 슬릿형 비아홀(slit-type via hole)을 갖는 주 플레이트 라인(main plate line)일 수도 있다. 이와는 다르게, 상기 플레이트 라인은 상기 국부 플레이트 라인 및 상기 주 플레이트 라인을 포함할 수도 있다. 상기 슬릿형 비아홀들의 각각은 상기 주 워드라인들 사이에 위치한다.

한편, 상기 강유전체 커패시터들의 각각은 차례로 적층된 하부전극(bottom electrode), 강유전체막 패턴(ferroelectric layer pattern) 및 상부전극(top electrode)으로 구성된다. 이 경우에, 상기 플레이트 라인들의 각각은 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 상부전극들과 직접적으로 접촉한다. 이와는 달리, 서로 이웃하는 적어도 2개의 행들 내에 배열된 상기 강유전체 커패시터들의 상부전극들은 하나의 국부 플레이트 라인 대신에 복수개의 국부 플레이트 패턴들과 접촉할 수도 있다. 따라서, 상기 복수개의 국부 플레이트 패턴들의 각각은 적어도 2개의 인접한 행들 및 적어도 하나의 열 내에 배치된 강유전체 커패시터들의 상부면들과 접촉할 수 있다. 바람직하게는, 상기 복수개의 국부 플레이트 패턴들의 각각은 적어도 2개의 인접한 행들 및 적어도 2개의 열들 내에 배치된 강유전체 커패시터들의 상부면들과 접촉한다. 이 경우에, 상기 주 플레이트 라인들의 각각은 복수개의 비아홀들을 통하여 상기 복수개의 국부 플레이트 패턴들과 전기적으로 접속된다. 이와는 달리, 상기 주 플레이트 라인들의 각각은 상기 슬릿형 비아홀을 통하여 상기 복수개의 국부 플레이트 패턴들과 전기적으로 접속될 수도 있다. 여기서, 상기 강유전체 커패시터들 사이의 겹 영역은 상기 상부 총간절연막에 대하여 식각 선택비를 갖는 물질막으로 채워지는 것이 바람직하다.

이에 더하여, 상기 강유전체 커패시터들의 각각은 차례로 적층된 하부전극, 강유전체막 패턴 및 공통 상부전극(common top electrode)으로 구성될 수도 있다. 여기서, 상기 공통 상부전극은 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 강유전체막 패턴들을 덮는다. 여기서, 상기 하부전극들 사이의 겹 영역 및 상기 강유전체막 패턴들 사이의 겹 영역은 절연막 패턴으로 채워지는 것이 바람직하다. 결과적으로, 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 강유전체 커패시터들은 하나의 공통 상부전극을 공유한다. 상기 공통 상부전극은 상기 플레이트 라인과 직접적으로 접촉한다.

또한, 상기 강유전체 커패시터들의 각각은 차례로 적층된 하부전극, 공통 강유전체막 패턴 및 공통 상부전극으로 구성될 수도 있다. 여기서, 상기 공통 강유전체막 패턴은 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 하부전극들을 덮는다. 상기 공통 강유전체막 패턴은 상기 공통 상부전극과 중첩된다. 이에 따라, 상기 공통 상부전극은 상기 플레이트 라인과 직접적으로 접촉한다.

상기 다른 기술적 과제를 이루기 위하여 본 발명은 서로 이웃하는 적어도 2개의 행들(rows) 상에 배열된 상부전극들과 직접적으로 접촉하는 확장된(expanded) 플레이트 라인을 갖는 강유전체 메모리소자의 제조 방법을 제공한다. 이 방법은 반도체기판 상에 하부 총간절연막을 형성하는 것을 포함한다. 상기 하부 총간절연막 상에 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 강유전체 커패시터들을 형성한다. 상기 강유전체 커패시터들을 갖는 반도체기판의 전면은 상부 총간절연막 및 상기 상부 총간절연막 내에 배치된 복수개의 플레이트 라인들을 형성한다. 상기 플레이트 라인들은 상기 열 방향과 평행하게 형성된다. 상기 플레이트 라인들의 각각은 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 강유전체 커패시터들의 상부면들과 직접적으로 접촉한다. 또한, 상기 상부 총간절연막은 제1 및 제2 상부 총간절연막을 차례로 적층시킴으로써 형성할 수 있다.

상기 복수개의 강유전체 커패시터들을 형성하는 방법은 상기 하부 총간절연막 상에 하부전극막, 강유전체막 및 상부전극막을 차례로 형성하는 것과, 상기 상부전극막, 강유전체막 및 하부전극막을 연속적으로 패터닝하는 것을 포함한다. 이에 따라, 상기 강유전체 커패시터들의 각각은 차례로 적층된 하부전극, 강유전체막 패턴 및 상부전극으로 구성된다. 이 경우에, 상기 플레이트 라인들의 각각은 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 상부전극들과 접촉한다. 상기 강유전체 커패시터들 사이의 겹 영역을 채우는 절연막 패턴을 형성하는 것이 바람직하다.

다른 방법으로(alternatively), 상기 복수개의 강유전체 커패시터들을 형성하는 방법은 상기 하부 총간절연막 상에 하부전극막 및 강유전체막을 차례로 형성하는 것을 포함한다. 이어서, 상기 강유전체막 및 하부전극막을 연속적으로 패터닝하여 상기 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 하부전극들 및 상기 하부전극들 상에 적층된 복수개의 강유전체막 패턴을 형성한다. 상기 강유전체막 패턴들 사이의 겹 영역 및 상기 하부전극들 사이의 겹 영역을 채우는 절연막 패턴을 형성한다. 상기 절연막 패턴 및 상기 강유전체막 패턴들 상에 상부전극막을 형성한다. 상기 상부전극막을 패터닝하여 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 강유전체막 패턴들을 덮는 공통 상부전극을 형성한다. 상기 공통 상부전극은 상기 플레이트 라인과 접촉한다.

상기 복수개의 강유전체 커패시터들을 형성하는 또 다른 방법은 상기 하부 총간절연막 상에 상기 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 하부전극들을 형성하는 것을 포함한다. 상기 하부전극들을 갖는 반도체기판 전면은 강유전체막 및 상부전극막을 차례로 형성한다. 상기 상부전극막 및 강유전체막을 패터닝하여 차례로 적층된 공통 강유전체막 패턴 및 공통 상부전극을 형성한다. 여기서, 상기 공통 강유전체막 패턴은 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 하부전극들을 덮는다. 따라서, 상기 공통 상부전극은 상기 플레이트 라인 및 상기 강유전체막 패턴 사이에 개재된다. 상기 강유전체막을

형성하기 전에, 상기 하부전극들 사이의 갭 영역을 채우는 하부 절연막 패턴을 형성하는 것이 바람직하다.

한편, 상기 상부 중간절연막 및 상기 복수개의 플레이트 라인들을 형성하는 방법은 상기 복수개의 강유전체 커패시터들을 갖는 반도체기판의 전면에 하부 플레이트막을 형성하는 것을 포함한다. 상기 하부 플레이트막을 패터닝하여 서로 이웃하는 적어도 2개의 행을 상에 배열된 상기 강유전체 커패시터들을 덮는 국부 플레이트 라인을 형성한다. 이와는 달리, 상기 하부 플레이트막을 패터닝하여 서로 이웃하는 적어도 2개의 행을 덮 서로 이웃하는 2개의 열을 내에 배열된 상기 강유전체 커패시터들을 덮는 복수개의 국부 플레이트 패턴들을 형성할 수도 있다. 결과적으로, 상기 국부 플레이트 라인 대신에 상기 복수개의 국부 플레이트 패턴들이 형성된다. 이 경우에, 상기 복수개의 국부 플레이트 패턴들에 기인하는 물리적인 스트레스는 상기 복수개의 국부 플레이트 라인들에 기인하는 물리적인 스트레스에 비하여 작다. 특히, 상기 하부 플레이트막을 이리디움막 및 이리디움 산화막중 적어도 어느 하나로 형성하는 경우에, 상기 복수개의 국부 플레이트 패턴들에 기인하는 물리적인 스트레스는 상기 복수개의 국부 플레이트 라인들에 기인하는 물리적인 스트레스에 비하여 현저히 감소된다. 이에 따라, 상기 국부 플레이트 라인 대신에 상기 국부 플레이트 패턴들을 형성하면, 상기 강유전체막 패턴들의 강유전 특성의 저하를 현저히 억제시킬 수 있다.

이어서, 상기 국부 플레이트 라인을 갖는 반도체기판의 전면에 상부 중간절연막을 형성한다. 여기서, 상기 상부 중간절연막은 제1 및 제2 상부 중간절연막을 차례로 적층시켜 형성할 수 있다. 이에 더하여, 상기 제2 상부 중간절연막을 형성하기 전에, 상기 제1 상부 중간절연막 상에 상기 열 방향과 평행한 복수개의 주 워드라인들을 형성할 수 있다. 상기 제2 상부 중간절연막 및 제1 상부 중간절연막을 연속적으로 패터닝하여 상기 주 워드라인들과 평행한 슬릿형 비아홀을 추가로 형성할 수도 있다. 상기 슬릿형 비아홀은 상기 주 워드라인들 사이의 상기 상부 중간절연막을 관통하여 상기 국부 플레이트 라인을 노출시킨다. 상기 슬릿형 비아홀을 덮는 주 플레이트 라인을 형성한다.

한편, 상기 국부 플레이트 라인 대신에 상기 복수개의 국부 플레이트 패턴들을 형성하는 경우에는, 상기 슬릿형 비아홀은 상기 복수개의 국부 플레이트 패턴들 및 이들 사이의 상기 하부 절연막 패턴들을 노출시킨다. 이와는 달리, 상기 슬릿형 비아홀 대신에 상기 복수개의 국부 플레이트 패턴들을 노출시키는 복수개의 비아홀들을 형성할 수도 있다.

다른 방법으로, 상기 상부 중간절연막 및 상기 복수개의 플레이트 라인들을 형성하는 방법은 상기 복수개의 강유전체 커패시터들을 갖는 반도체기판의 전면에 상부 중간절연막을 형성하는 것을 포함한다. 상기 상부 중간절연막은 제1 및 제2 상부 중간절연막들을 차례로 적층시켜 형성할 수 있다. 이때, 상기 제1 및 제2 상부 중간절연막들 사이에 상기 열 방향과 평행한 주 워드라인들을 형성할 수도 있다. 상기 상부 중간절연막을 패터닝하여 상기 주 워드라인들 사이에 상기 열 방향과 평행한 슬릿형 비아홀을 형성한다. 상기 슬릿형 비아홀은 서로 이웃하는 적어도 2개의 행을 상에 배열된 상기 강유전체 커패시터들의 상부면들을 노출시킨다. 상기 슬릿형 비아홀을 덮는 주 플레이트 라인을 형성한다.

상기 강유전체 커패시터들의 각각이 차례로 적층된 상기 하부전극, 상기 강유전체막 패턴 및 상기 상부전극으로 구성되는 경우에는, 상기 슬릿형 비아홀은 서로 이웃하는 적어도 2개의 행을 상에 배열된 상기 상부전극들을 노출시킨다. 이 경우에, 상기 강유전체 커패시터들 사이의 갭 영역을 채우는 절연막 패턴은 상기 상부 중간절연막에 대하여 식각 선택비를 갖는 물질막으로 형성하는 것이 바람직하다.

또한, 상기 강유전체 커패시터들의 각각이 상기 공통 상부전극을 포함하는 경우에는 상기 슬릿형 비아홀은 상기 공통 상부전극을 노출시킨다.

더 나아가서, 상기 하부전극들의 각각은 상기 하부 중간절연막을 관통하는 스토리지 노드 콘택홀을 통하여 상기 반도체기판의 소정영역과 전기적으로 접속된다. 상기 스토리지 노드 콘택홀의 상부 직경은 그것의 하부직경보다 큰 것이 바람직하다. 또한, 적어도 상기 강유전체막 패턴의 측면 또는 상기 공통 강유전체막 패턴의 측면에 수소차단막 패턴을 형성하는 것이 바람직하다.

이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

도 4는 본 발명에 따른 강유전체 메모리소자의 셀 어레이 영역의 일 부분을 보여주는 평면도이고, 도 5 내지 도 7은 각각 본 발명의 제1 내지 제3 실시예들에 따른 강유전체 메모리소자를 설명하기 위한 사시도들이다.

도 4 및 도 5를 참조하면, 반도체기판(51)의 소정영역에 소자분리막(53)이 배치된다. 상기 소자분리막(53)은 2차원적으로 배열된 복수개의 활성영역들(53a)을 한정한다. 상기 활성영역들(53a) 및 소자분리막(53)을 가로질러 복수개의 절연된(insulated) 게이트 전극들(57), 즉 복수개의 워드라인들이 배치된다. 상기 게이트 전극들(57)은 행 방향(y축)과 평행하다. 상기 활성영역들(53a)의 각각은 상기 한 쌍의 게이트 전극들(57)과 교차한다. 이에 따라, 상기 각 활성영역(53a)은 3개의 부분으로 나뉘어진다. 상기 한 쌍의 게이트 전극들(57) 사이의 활성영역(53a)에 공통 드레인 영역(61d)이 형성되고, 상기 공통 드레인 영역(61d)의 양 옆의 활성영역들(53a)에 소오스 영역들(61s)이 형성된다. 따라서, 상기 게이트 전극(57)들 및 상기 활성영역들(53a)이 교차하는 지점들(points)에 셀 트랜지스터들이 형성된다. 결과적으로, 셀 트랜지스터들은 열 방향(x축) 및 행 방향(y축)을 따라 2차원적으로 배열된다.

상기 셀 트랜지스터들을 갖는 반도체기판의 전면은 하부 중간절연막(74)에 의해 덮여진다. 상기 하부 중간절연막(74) 내에 상기 워드라인들(57)의 상부를 가로지르는 복수개의 비트라인들(71)이 배치된다. 상기 비트라인들(71)의 각각은 비트라인 콘택홀(71a)을 통하여 상기 공통 드레인 영역(61d)과 전기적으로 접속된다. 상기 소오스 영역들(61s)은 상기 하부 중간절연막(74)을 관통하는 스토리지 노드 콘택홀들(75a)에

의해 노출된다. 상기 스토리지 노드 콘택홀(75a)의 상부측벽(upper sidewall)은 경사진 프로파일(sloped profile)을 갖는 것이 바람직하다. 상기 스토리지 노드 콘택홀들(75a)은 각각 콘택 플러그들(75)에 의해 채워진다. 결과적으로, 도 5에 도시된 바와 같이 상기 콘택 플러그(75)의 상부측벽은 그것의 하부측벽보다 크다.

상기 콘택 플러그들(75)을 갖는 반도체기판의 전면에 상기 열 방향(x축) 및 상기 행 방향(y축)을 따라 2차원적으로 배열된 복수개의 강유전체 커패시터들(82; 도 4의 CP)이 배치된다. 상기 강유전체 커패시터들(82)의 각각은 차례로 적층된 하부전극(77), 강유전체막 패턴(79) 및 상부전극(81)을 포함한다. 상기 하부전극들(77)은 각각 상기 콘택 플러그들(75) 상에 위치한다. 결과적으로, 상기 하부전극(77)은 상기 콘택 플러그(75)를 통하여 상기 소소스 영역(61s)과 전기적으로 접속된다. 상기 강유전체 커패시터들(82) 사이의 갭 영역은 절연막 패턴(85a)으로 채워지는 것이 바람직하다.

이에 더하여, 상기 절연막 패턴(85a) 및 적어도 상기 강유전체막 패턴들(79) 사이에 수소차단막 패턴(hydrogen barrier layer pattern; 83a)이 개재되는 것이 바람직하다. 상기 수소차단막 패턴(83a)은 타이타늄 산화막( $TiO_2$ ), 알루미늄 산화막( $Al_2O_3$ ), 실리콘 질화막( $Si_3N_4$ ) 또는 이들의 조합막(combination layer)인 것이 바람직하다. 따라서, 상기 강유전체막 패턴(79) 내부로 수소원자들이 침투되는 것을 방지할 수 있다. 상기 강유전체막 패턴(79) 내에 수소원자들이 주입하면, 강유전체막 패턴(79)의 신뢰성이 저하된다. 예를 들어, PZT( $Pb, Zr, TiO_3$ )막과 같은 강유전체막 내에 수소원자들이 주입되면, 상기 PZT막 내의 산소 원자들과 상기 수소 원자들이 반응하여 PZT막 내에 산소 공공(oxygen vacancy)이 생성된다. 이러한 산소 공공은 강유전체의 분극특성(polarization characteristic)을 저하시킨다. 그 결과, 강유전체 메모리소자의 오동작(malfunction)을 유발시킨다.

또한, 상기 수소원자들이 강유전체막 패턴 및 상/하부 전극들(top/bottom electrodes) 사이의 계면에 포획되면, 이들 사이의 에너지 장벽(energy barrier)이 낮아진다. 따라서, 강유전체 커패시터의 누설전류특성이 저하된다. 결론적으로, 상기 수소차단막 패턴(83a)은 상기 강유전체 커패시터(82)의 특성 및 신뢰성을 향상시킨다.

상기 강유전체 커패시터들(82) 및 상기 절연막 패턴(85a) 상에 복수개의 국부 플레이트 라인들(local plate lines; 87; 도 4의 PL)이 배치된다. 상기 국부 플레이트 라인들(87)은 금속막, 도전성 금속산화막(conductive metal oxide layer), 도전성 금속질화막(conductive metal nitride layer) 또는 이들의 복합막에 해당한다. 예를 들면, 상기 국부 플레이트 라인들(87)은 타이타늄 알루미늄 질화막( $TiAlN$ ), 타이타늄막( $Ti$ ), 타이타늄 질화막( $TiN$ ), 이리듐옥막( $Ir$ ), 이리듐 산화막( $IrO_2$ ), 백금막( $Pt$ ), 루테튬옥막( $Ru$ ), 루테튬 산화막( $RuO_2$ ), 알루미늄막( $Al$ ) 또는 이들의 복합막일 수 있다. 상기 국부 플레이트 라인들(87)은 상기 행 방향(y축)과 평행하도록 배치된다. 또한, 상기 국부 플레이트 라인들(87)의 각각은 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 강유전체 커패시터들(82)을 덮는다. 결과적으로, 상기 국부 플레이트 라인(87)은 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 상부전극들(81)과 직접적으로 접촉한다. 상기 국부 플레이트 라인들(87)을 갖는 반도체기판의 전면은 상부 층간절연막에 의해 덮여진다. 여기서, 상기 상부 층간절연막은 차례로 적층된 제1 및 제2 상부 층간절연막들(89, 93)을 포함할 수 있다.

이에 더하여, 상기 제1 및 제2 상부 층간절연막들(89, 93) 사이에 복수개의 주 워드라인들(main word lines; 91)이 개재될 수 있다. 상기 주 워드라인들(91)은 상기 행 방향(y축)을 따라 연장되어 상기 국부 플레이트 라인들(87)과 평행하다. 상기 주 워드라인(91)들의 각각은 일반적으로 디코더(decoder)를 통하여 4개의 워드라인들(57)을 제어한다. 또한, 상기 주 워드라인들(91) 사이의 상기 상부 층간절연막 내에 주 플레이트 라인(97)이 배치될 수 있다. 상기 주 플레이트 라인(97)은 상기 상부 층간절연막을 관통하는 슬릿형 비아홀(95)을 통하여 상기 국부 플레이트 라인(87)과 전기적으로 접속된다. 상기 슬릿형 비아홀(95)은 상기 행 방향(y축)과 평행하고 상기 국부 플레이트 라인(87)을 노출시킨다. 도 5에 보여진 바와 같이, 상기 슬릿형 비아홀(95)의 폭은 종래기술에서의 비아홀(도 3의 39)의 직경보다 크다. 또한, 상기 국부 플레이트 라인(87)은 상기 상부전극들(81)의 상부면들과 직접 접촉한다.

상기 국부 플레이트 라인(87) 및 상기 주 플레이트 라인(97)은 플레이트 라인을 구성한다. 상기 플레이트 라인은 상기 국부 플레이트 라인(87) 또는 상기 주 플레이트 라인(97)만으로 구성될 수도 있다. 상기 플레이트 라인이 상기 주 플레이트 라인(97)만으로 구성되는 경우에는, 상기 주 플레이트 라인(97)은 상기 슬릿형 비아홀(95)을 통하여 적어도 2개의 인접한 행들 내에 배치된 상기 강유전체 커패시터들의 상부전극들(81)과 직접 접촉한다. 또한, 상기 플레이트 라인이 상기 주 플레이트 라인(97)만으로 구성되는 경우에, 상기 절연막 패턴(85a)은 상기 상부 층간절연막에 대하여 식각 선택비를 갖는 절연막인 것이 바람직하다. 예를 들면, 상기 상부 층간절연막이 실리콘 산화막인 경우에, 상기 절연막 패턴(85a)은 실리콘 질화막인 것이 바람직하다.

도 6은 본 발명의 제2 실시예에 따른 강유전체 메모리소자를 설명하기 위한 사시도이다. 본 발명의 제2 실시예에 있어서, 셀 트랜지스터들, 하부 층간절연막 및 콘택 플러그들은 도 5에서 설명된 본 발명의 제1 실시예에 그것들과 동일한 구조를 갖는다. 따라서, 이들에 대한 설명은 생략하기로 한다.

도 4 및 도 6을 참조하면, 상기 하부 층간절연막(74) 상에 상기 콘택 플러그들(75)을 덮는 복수개의 강유전체 커패시터들이 배치된다. 따라서, 상기 강유전체 커패시터들은 상기 행 방향 및 열 방향을 따라 2차원적으로 배열된다. 상기 강유전체 커패시터들의 각각은 차례로 적층된 하부전극(101), 강유전체막 패턴(103) 및 공통 상부전극(109)으로 구성된다. 상기 공통 상부전극(109)은 적어도 2개의 인접한 행들 및 적어도 하나의 열 내에 배열된 상기 강유전체 커패시터들의 강유전체막 패턴들(103)과 접촉한다. 구체적으로, 상기 공통 상부전극(109)은 연장되어 서로 이웃하는 적어도 2개의 행들 상에 배열된 강유전체막 패턴들(103)을 덮는다. 따라서, 상기 공통 상부전극(109)은 도 4의 국부 플레이트 라인(PL)과 같이 상기 행 방향과 평행하게 배치된다. 상기 강유전체막 패턴들(103) 사이의 갭 영역 및 상기 하부전극들(101) 사이의 갭 영역은 하부 절연막 패턴(107a)으로 채워지는 것이 바람직하다. 또한, 제1 실시예와 같이, 상기 하부 절연막 패턴(107a) 및 적어도 상기 강유전체막 패턴(103) 사이에 수소차단막 패턴(105a)이 개재되는 것이 바람직하다.



상기 공통 상부전극(109)을 갖는 반도체기판의 전면은 상부 절연막(111)에 의해 덮여진다. 상기 상부 절연막(111)은 상기 공통 상부전극(109)을 노출시키는 슬릿형 콘택홀을 갖는다. 상기 슬릿형 콘택홀은 상기 행 방향(y축)과 평행하고 국부 플레이트 라인(113; 도 4의 PL)에 의해 덮여진다. 결과적으로, 상기 국부 플레이트 라인(113)은 상기 슬릿형 콘택홀을 통하여 상기 공통 상부전극(109)과 전기적으로 접속된다. 도시하지는 않았지만, 상기 국부 플레이트 라인(113) 대신에 복수개의 국부 플레이트 패턴들이 배치될 수도 있다. 이 경우에, 상기 국부 플레이트 패턴들의 각각은 적어도 2개의 인접한 행을 및 적어도 하나의 열 내에 배열된 강유전체 커패시터들의 공통 상부전극(109)과 접촉한다. 상기 국부 플레이트 라인(113)은 본 발명의 제1 실시예에서 설명한 국부 플레이트 라인(87)과 동일한 물질막이다. 상기 국부 플레이트 라인(113)을 갖는 반도체기판의 전면은 상부 층간절연막에 의해 덮여진다. 상기 상부 층간절연막은 차례로 적층된 제1 및 제2 상부 층간절연막들(115, 119)을 포함한다.

더 나아가서, 상기 제1 및 제2 상부 층간절연막들(115, 119) 사이에 복수개의 주 워드라인들(117)이 개재될 수 있다. 상기 주 워드라인들(117)은 상기 행 방향과 평행하다. 이에 더하여, 상기 주 워드라인들(117) 사이의 상기 상부 층간절연막 내에 주 플레이트 라인(123)이 배치될 수 있다. 상기 주 플레이트 라인(123)은 상기 상부 층간절연막을 관통하는 슬릿형 비아홀(121)을 통하여 상기 국부 플레이트 라인(113)과 전기적으로 접속된다. 상기 슬릿형 비아홀(121)은 상기 행 방향(y축)과 평행하다. 이와는 달리, 도시하지는 않았지만, 상기 국부 플레이트 라인(113)은 상기 슬릿형 비아홀(121) 대신에 복수개의 비아홀들에 의해 노출될 수도 있다.

상기 국부 플레이트 라인(113) 및 상기 주 플레이트 라인(123)은 플레이트 라인을 구성한다. 상기 플레이트 라인은 상기 국부 플레이트 라인(113) 또는 상기 주 플레이트 라인(123)만으로 구성될 수도 있다. 상기 플레이트 라인이 상기 주 플레이트 라인(123)만으로 구성되는 경우에는, 상기 주 플레이트 라인(123)은 상기 슬릿형 비아홀(121)을 통하여 적어도 2개의 인접한 행들 내에 배치된 상기 강유전체 커패시터들의 공통 상부전극(109)과 직접 접촉한다.

도 7은 본 발명의 제3 실시예에 따른 강유전체 메모리소자를 설명하기 위한 사시도이다. 본 발명의 제3 실시예에 있어서, 셀 트랜지스터들, 하부 층간절연막 및 콘택 플러그들은 도 5에서 설명된 본 발명의 제1 실시예의 그것들과 동일한 구조를 갖는다. 따라서, 이들에 대한 설명은 생략하기로 한다.

도 4 및 도 7을 참조하면, 상기 하부 층간절연막(74) 상에 상기 콘택 플러그들(75)을 덮는 복수개의 강유전체 커패시터들이 배치된다. 따라서, 상기 강유전체 커패시터들은 상기 행 방향 및 열 방향을 따라 2차원적으로 배열된다. 상기 강유전체 커패시터들의 각각은 차례로 적층된 하부전극(151), 공통 강유전체막 패턴(155) 및 공통 상부전극(157)으로 구성된다. 상기 공통 강유전체막 패턴(155)은 적어도 2개의 인접한 행들 및 적어도 하나의 열 내에 배치된 상기 하부전극들(151)과 직접 접촉한다. 구체적으로, 상기 공통 강유전체막 패턴(155)은 연장되어 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 하부전극들(151)을 덮는다. 또한, 상기 공통 상부전극(157)은 상기 공통 강유전체막 패턴(155) 상에 적층된다. 따라서, 상기 공통 강유전체막 패턴(155) 및 상기 공통 상부전극(157)은 도 4의 국부 플레이트 라인(PL)과 같이 상기 행 방향과 평행하게 배치된다.

상기 하부전극들(151) 사이의 겹 영역은 하부 절연막 패턴(153a)으로 채워지는 것이 바람직하다. 또한, 상기 공통 강유전체막 패턴들(155) 사이의 겹 영역 및 상기 공통 상부전극들(157) 사이의 겹 영역은 상부 절연막 패턴(161)으로 채워지는 것이 바람직하다. 이에 더하여, 상기 상부 절연막 패턴(161) 및 적어도 상기 공통 강유전체막 패턴(155) 사이에 수소차단막 패턴(159)이 개재되는 것이 바람직하다.

상기 공통 상부전극(157) 상에 국부 플레이트 라인(163; 도 4의 PL)이 배치된다. 상기 국부 플레이트 라인(163)은 적어도 2개의 행들 및 적어도 하나의 열 내에 배치된 강유전체 커패시터들의 공통 상부전극(157)과 접촉한다. 이에 더하여, 상기 국부 플레이트 라인(163)은 상기 행 방향(y축)과 평행하도록 연장될 수 있다. 상기 국부 플레이트 라인(163)은 본 발명의 제1 실시예에서 설명한 국부 플레이트 라인(87)과 동일한 물질막이다. 상기 국부 플레이트 라인(163)을 갖는 반도체기판의 전면은 상부 층간절연막에 의해 덮여진다. 상기 상부 층간절연막은 차례로 적층된 제1 및 제2 상부 층간절연막들(165, 169)을 포함한다.

더 나아가서, 상기 제1 및 제2 상부 층간절연막들(165, 169) 사이에 복수개의 주 워드라인들(167)이 개재될 수 있다. 상기 주 워드라인들(167)은 상기 행 방향과 평행하다. 이에 더하여, 상기 주 워드라인들(167) 사이의 상기 상부 층간절연막 내에 주 플레이트 라인(173)이 배치될 수 있다. 상기 주 플레이트 라인(173)은 상기 상부 층간절연막을 관통하는 슬릿형 비아홀(171)을 통하여 상기 국부 플레이트 라인(163)과 전기적으로 접속된다. 상기 슬릿형 비아홀(171)은 상기 행 방향(y축)과 평행하다. 상기 국부 플레이트 라인(163)은 상기 슬릿형 비아홀(171) 대신에 복수개의 비아홀들에 의해 노출될 수도 있다. 이 경우에, 상기 비아홀들의 각각은 적어도 2개의 행들 및 적어도 하나의 열 내에 배치된 강유전체 커패시터들의 공통 상부전극을 노출시킨다.

상기 국부 플레이트 라인(163) 및 상기 주 플레이트 라인(173)은 플레이트 라인을 구성한다. 상기 플레이트 라인은 상기 국부 플레이트 라인(163) 또는 상기 주 플레이트 라인(173)만으로 구성될 수도 있다. 상기 플레이트 라인이 상기 주 플레이트 라인(173)만으로 구성되는 경우에는, 상기 주 플레이트 라인(173)은 상기 슬릿형 비아홀(171)을 통하여 적어도 2개의 인접한 행들 내에 배치된 상기 강유전체 커패시터들의 공통 상부전극(157)과 직접 접촉한다.

다음에, 본 발명에 따른 강유전체 메모리소자의 제조방법을 설명하기로 한다.

도 8 내지 도 14는 도 4의 1-1'에 따라 본 발명의 제1 실시예에 따른 강유전체 메모리소자의 제조방법을 설명하기 위한 단면도들이다.

도 8을 참조하면, 반도체기판(51)의 소정영역에 소자분리막(53)을 형성하여 복수개의 활성영역들(53a)을 한정한다. 상기 활성영역들을 갖는 반도체기판의 전면에 게이트 절연막, 게이트 도전막 및 캐핑절연막을 차례로 형성한다. 상기 캐핑절연막, 게이트 도전막 및 게이트 절연막을 연속적으로 패터닝하여 상기 활성영역들(53a) 및 소자분리막(53)의 상부를 가로지르는 복수개의 평행한 게이트 패턴들(60)을 형성한다. 상

기 게이트 패턴들(60)의 각각은 차례로 적층된 게이트 절연막 패턴(55), 게이트 전극(57) 및 캐핑절연막 패턴(59)으로 구성된다. 여기서, 상기 활성영역들의 각각은 상기 한 쌍의 게이트 전극들(57)과 교차한다. 상기 게이트 전극(57)은 워드라인에 해당한다. 바람직하게는, 상기 게이트 패턴들(60)은 상기 행 방향(도 4의 y축)과 평행하도록 형성된다.

상기 게이트 패턴들(60) 및 상기 소자분리막(53)을 이온주입 마스크들로 사용하여 상기 활성영역들에 불순물 이온들을 주입한다. 그 결과, 상기 각 활성영역에 3개의 불순물 영역들이 형성된다. 이들 3개의 불순물 영역들중 가운데의 불순물 영역은 공통 드레인 영역(61d)에 해당하고, 나머지 불순물 영역들은 소스 영역들(61s)에 해당한다. 이에 따라, 상기 각 활성영역에 한 쌍의 셀 트랜지스터들이 형성된다. 결과적으로, 상기 셀 트랜지스터들은 상기 반도체기판(51)에 행 방향 및 열 방향을 따라 2차원적으로 배열된다. 이어서, 상기 게이트 패턴(60)의 측벽에 통상의 방법을 사용하여 스페이서(63)를 형성한다.

도 9를 참조하면, 상기 스페이서(63)를 갖는 반도체기판의 전면에 제1 하부 층간절연막(65)을 형성한다. 상기 제1 하부 층간절연막(65)을 패터닝하여 상기 소스/드레인 영역들(61s, 61d)을 노출시키는 패드 콘택홀을 형성한다. 상기 패드 콘택홀 내에 통상의 방법을 사용하여 스토리지 노드 패드들(67s) 및 비트라인 패드들(67d)을 형성한다. 상기 스토리지 노드 패드들(67s)은 상기 소스 영역들(61s)과 접속되고, 상기 비트라인 패드들(67d)은 상기 공통 드레인 영역(61d)과 접속된다. 상기 패드들(67s, 67d)을 갖는 반도체기판 전면에 제2 하부 층간절연막(69)을 형성한다. 상기 제2 하부 층간절연막(69)을 패터닝하여 상기 비트라인 패드들(67d)을 노출시키는 비트라인 콘택홀들(도 4의 71a)을 형성한다. 상기 비트라인 콘택홀들을 덮는 복수개의 평행한 비트라인들(71)을 형성한다. 상기 비트라인들(71)은 상기 워드라인들(57)의 상부를 가로지른다.

도 10을 참조하면, 상기 비트라인들(71)을 갖는 반도체기판의 전면에 제3 하부 층간절연막(73)을 형성한다. 상기 제1 내지 제3 하부 층간절연막들(65, 69, 73)은 하부 층간절연막(74)을 구성한다. 이어서, 상기 제2 및 제3 하부 층간절연막들(69, 73)을 패터닝하여 상기 스토리지 노드 패드들(67s)을 노출시키는 스토리지 노드 콘택홀들(도 4의 75a)을 형성한다. 상기 스토리지 노드 콘택홀들은 그 것의 상부 직경을 증가시키기 위하여 습식 식각공정 및 건식 식각공정을 사용하여 형성할 수 있다. 이에 따라, 상기 스토리지 노드 콘택홀의 상부 측벽은 도식된 바와 같이 경사진 프로파일을 가질 수 있다. 이는 후속공정에서 형성되는 하부전극과상기 소스 영역(61s) 사이의 전기적인 저항을 감소시키기 위함이다. 상기 스토리지 노드 콘택홀들 내에 콘택 플러그들(75)을 형성한다.

도 11을 참조하면, 상기 콘택 플러그들(75) 및 상기 하부 층간절연막(74) 상에 하부전극막, 강유전체막 및 상부전극막을 차례로 형성한다. 상기 상부전극막, 강유전체막 및 하부전극막을 연속적으로 패터닝하여 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 강유전체 커패시터들(82; 도 4의 CP)을 형성한다. 상기 강유전체 커패시터들(82)의 각각은 차례로 적층된 하부전극(77), 강유전체막 패턴(79) 및 상부전극(81)을 포함한다. 상기 하부전극들(77)은 각각 상기 콘택 플러그들(75)과 접속한다. 결과적으로, 상기 강유전체 커패시터들(82)은 각각 상기 소스 영역들(61s)과 전기적으로 접속된다. 이어서, 상기 강유전체 커패시터들(82)이 형성된 결과물의 전면에 절연막(85)을 차례로 형성한다. 상기 절연막(85)을 형성하기 전에, 수소차단막(hydrogen barrier layer; 83)을 콘포맷하게 형성할 수도 있다. 상기 수소차단막(83)은 타이타늄 산화막(TiO<sub>2</sub>), 알루미늄 산화막(Al<sub>2</sub>O<sub>3</sub>), 실리콘 질화막(Si<sub>3</sub>N<sub>4</sub>) 또는 이들의 조합막으로 형성하는 것이 바람직하다.

도 12를 참조하면, 상기 절연막(85) 및 상기 수소차단막(83)을 평탄화시키며 상기 상부전극들(81)을 노출시킨다. 상기 평탄화 공정은 화학기계적 연마 기술 또는 에치백 기술을 사용하여 실시할 수 있다. 이에 따라, 상기 강유전체 커패시터들(82) 사이에 수소차단막 패턴(83a) 및 절연막 패턴(85a)이 형성된다. 상기 수소차단막 패턴(83a)은 상기 강유전체 커패시터들(82)의 측벽, 즉 상기 강유전체막 패턴들(79)의 측벽을 덮는다. 따라서, 상기 강유전체막 패턴들(79) 내부로 수소원자들이 주입되는 것을 방지할 수 있다. 상기 강유전체막 패턴들(79) 내에 수소원자들이 주입되면, 분극특성 및 누설전류 특성과 같은 강유전체 커패시터들(82)의 특성이 저하된다. 결과적으로, 상기 수소차단막 패턴(83a)은 강유전체 커패시터(82)의 특성을 향상시킨다.

상기 절연막 패턴(85a)을 포함하는 반도체기판의 전면에 하부 플레이트막을 형성한다. 상기 하부 플레이트막은 금속막, 도전성 금속산화막, 도전성 금속질화막 또는 이들의 복합막으로 형성할 수 있다. 예를 들면, 상기 하부 플레이트막은 타이타늄 알루미늄 질화막(TiAlN), 타이타늄막(Ti), 타이타늄 질화막(TiN), 이리듐막(Ir), 이리듐 산화막(IrO<sub>2</sub>), 백금막(Pt), 루테튬 산화막(RuO<sub>2</sub>), 알루미늄막(Al) 또는 이들의 복합막으로 형성할 수 있다. 상기 하부 플레이트막을 패터닝하여 상기 워드라인들(57)과 평행한 복수개의 국부 플레이트 라인들(local plate lines; 87; 도 4의 PL)을 형성한다. 다시 말해서, 상기 복수개의 국부 플레이트 라인들(87)은 행 방향(도 4의 y축)과 평행하다. 상기 국부 플레이트 라인들(87)의 각각은 서로 이웃하는 2개의 행들을 따라 배열된 복수개의 상부전극들(81)과 직접적으로 접속한다. 상기 국부 플레이트 라인들(87)을 갖는 반도체기판의 전면에 상부 층간절연막을 형성한다. 상기 상부 층간절연막은 제1 및 제2 상부 층간절연막들(89, 93)을 차례로 적층시키며 형성한다. 상기 제2 상부 층간절연막(93)을 형성하기 전에, 상기 제1 상부 층간절연막(89) 상에 복수개의 평행한 주 워드라인들(91)을 형성할 수도 있다. 상기 주 워드라인들(91)은 상기 행 방향(도 4의 y축)과 평행하다. 통상적으로, 하나의 주 워드라인(91)은 디코더를 통하여 4개의 워드라인들(57)을 제어한다.

도 13을 참조하면, 상기 상부 층간절연막을 패터닝하여 상기 국부 플레이트 라인(87)을 노출시키는 슬릿형 비아홀(95)을 형성한다. 상기 슬릿형 비아홀(95)은 상기 주 워드라인들(91) 사이에 형성되고 상기 주 워드라인들(91)과 평행하다. 상기 슬릿형 비아홀(95) 면적에 복수개의 비아홀들을 형성할 수도 있다. 이 경우에, 상기 비아홀들의 각각은 적어도 2개의 인접한 행들 및 적어도 하나의 열 내에 배치된 강유전체 커패시터를 상에 위치한 국부 플레이트 라인(87)을 노출시킨다. 상기 슬릿형 비아홀(95)은 도식된 바와 같이, 종래기술에 비하여 넓은 폭을 갖는다. 그럼에도 불구하고, 상기 슬릿형 비아홀(95) 및 이와 인접한 상기 주 워드라인들(91) 사이의 간격(A)을 종래기술에 비하여 크게 유지할 수 있다. 따라서, 상기 슬릿형 비아홀(95)의 종횡비를 더욱 감소시키기 위하여 상기 슬릿형 비아홀(95)을 습식 식각공정 및 건식 식각공정을 사용하여 형성할지라도, 상기 주 워드라인들(91)이 노출할 확률은 종래기술에 비하여 현저히 감소된

다. 결과적으로, 상기 주 워드라인들(91)의 노출 없이, 상기 슬릿형 비아홀(95)의 증폭비를 증대기술에 비하여 현저히 감소시킬 수 있음은 물론 상기 국부 플레이트 라인(87)의 노출면적을 극대화시킬 수 있다.

계속해서, 상기 슬릿형 비아홀(95)이 형성된 결과물의 전면에 금속막과 같은 상부 플레이트막을 형성한다. 예를 들면, 상기 상부 플레이트막은 알루미늄막으로 형성할 수 있다. 이때, 상기 슬릿형 비아홀(95)의 증폭비가 현저히 낮으므로 상기 상부 플레이트막은 우수한 단차도포성(step coverage)을 보인다. 상기 상부 플레이트막을 패터닝하여 상기 슬릿형 비아홀(95)을 덮는 주 플레이트 라인(main plate line; 97)을 형성한다. 상기 주 플레이트 라인(97)은 상기 행 방향(y축)과 평행하도록 형성된다. 결과적으로, 상기 주 플레이트 라인(97)은 상기 국부 플레이트 라인(87)을 통하여 적어도 2개의 인접한 행들 내에 배치된 강유전체 커패시터들과 전기적으로 접속된다.

도 14는 도 8 내지 도 13에서 설명된 제1 실시예의 변형예(modified embodiment)를 설명하기 위한 단면도이다. 상기 변형예는 본 발명의 제1 실시예에서 상기 국부 플레이트 라인(87)을 형성하는 공정을 생략한 경우에 해당한다. 이 경우에, 상기 슬릿형 비아홀(95)을 형성하는 동안 상기 상부전극들(81) 뿐만 아니라 이들 사이의 절연막 패턴(85a) 역시 노출된다. 따라서, 상기 절연막 패턴(85a)은 상기 상부 층간절연막에 대하여 석각 선택비를 갖는 물질막, 예컨대 실리콘 질화막으로 형성하는 것이 바람직하다. 결과적으로, 상기 주 플레이트 라인(97)은 적어도 2개의 인접한 행들 내에 배열된 강유전체 커패시터들의 상부전극들(81)과 직접 접촉한다.

도 15 내지 도 19는 도 4의 1-1'에 따라 본 발명의 제2 실시예에 따른 강유전체 메모리소자의 제조방법을 설명하기 위한 단면도들이다. 본 발명의 제2 실시예에 있어서, 셀 트랜지스터들, 하부 층간절연막 및 콘택 플러그들은 도 8 내지 도 10에서 설명된 본 발명의 제1 실시예와 동일한 방법을 사용하여 형성한다. 따라서, 이들에 대한 설명은 생략하기로 한다.

도 15를 참조하면, 상기 하부 층간절연막(74) 및 상기 콘택 플러그들(75) 상에 하부전극막 및 강유전체막을 차례로 형성한다. 상기 강유전체막 및 하부전극막을 연속적으로 패터닝하여 상기 콘택 플러그들(75)을 덮는 복수개의 하부전극들(101) 및 상기 하부전극들(101) 상에 적층된 복수개의 강유전체막 패턴들(103)을 형성한다. 상기 강유전체막 패턴들(103)을 갖는 반도체기판 전면에 도 11에서 설명된 본 발명의 제1 실시예와 동일한 방법을 사용하여 수소차단막(105) 및 하부 절연막(107)을 차례로 형성한다.

도 16를 참조하면, 상기 하부 절연막(107) 및 수소차단막(105)을 평탄화시켜 상기 강유전체막 패턴들(103)을 노출시킨다. 이에 따라, 상기 강유전체막 패턴들(103) 사이의 갭 영역 및 상기 하부전극들(101) 사이의 갭 영역 내에 하부절연막 패턴(107a) 및 수소차단막 패턴(105a)이 형성된다. 상기 하부절연막 패턴(107a) 및 수소차단막 패턴(105a)이 형성된 결과물의 전면에 상부전극막을 형성한다. 상기 상부전극막을 패터닝하여 상기 워드라인들(57)과 평행한 복수개의 공통 상부전극들(109)을 형성한다. 상기 공통 상부전극들(109)의 각각은 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 강유전체막 패턴들(103)을 덮는다. 다시 말해서, 상기 공통 상부전극(109)은 적어도 2개의 행들 및 적어도 하나의 열 내에 배열된 강유전체 커패시터들의 강유전체막 패턴들(103)과 접촉한다.

도 17을 참조하면, 상기 공통 상부전극들(109)을 포함하는 반도체기판의 전면에 상부 절연막(111)을 형성한다. 상기 상부 절연막(111)을 패터닝하여 상기 공통 상부전극(109)을 노출시키는 슬릿형 콘택홀을 형성한다. 상기 상부 절연막(111) 및 상기 슬릿형 콘택홀을 형성하는 공정은 생략할 수도 있다. 상기 슬릿형 콘택홀을 갖는 반도체기판의 전면에 하부 플레이트막을 형성한다. 상기 하부 플레이트막은 본 발명의 제1 실시예에서 설명한 하부 플레이트막과 동일한 물질막으로 형성한다. 상기 하부 플레이트막을 패터닝하여 상기 슬릿형 콘택홀을 덮는 국부 플레이트 라인(113; 도 4의 PL)을 형성한다. 상기 국부 플레이트 라인(113)을 포함하는 반도체기판의 전면에 제1 및 제2 상부 층간절연막(115, 119)들을 차례로 형성한다. 상기 제1 및 제2 상부 층간절연막(115, 119)들은 상부 층간절연막을 구성한다.

이에 더하여, 상기 제1 및 제2 상부 층간절연막들(115, 119) 사이에 복수개의 평행한 주 워드라인들(117)을 형성할 수 있다. 상기 주 워드라인들(117)은 도 12에서 설명된 본 발명의 제1 실시예와 동일한 방법을 사용하여 형성한다.

도 18을 참조하면, 상기 상부 층간절연막을 관통하는 슬릿형 비아홀(121)을 형성하고, 상기 슬릿형 비아홀(121)을 덮는 주 플레이트 라인(123)을 형성한다. 상기 슬릿형 비아홀(121) 및 주 플레이트 라인(123)은 본 발명의 제1 실시예와 동일한 방법을 사용하여 형성한다.

도 19는 도 15 내지 도 18에서 설명된 제2 실시예의 변형예(modified embodiment)를 설명하기 위한 단면도이다. 상기 변형예는 본 발명의 제2 실시예에서 상기 국부 플레이트 라인(113)을 형성하는 공정을 생략한 경우에 해당한다. 이 경우에, 상기 슬릿형 비아홀(121)은 상기 공통 상부전극(109)을 노출시킨다.

도 20 내지 도 24는 도 4의 1-1'에 따라 본 발명의 제3 실시예에 따른 강유전체 메모리소자의 제조방법을 설명하기 위한 단면도들이다. 본 발명의 제3 실시예에 있어서, 셀 트랜지스터들, 하부 층간절연막 및 콘택 플러그들은 도 8 내지 도 10에서 설명된 본 발명의 제1 실시예와 동일한 방법을 사용하여 형성한다. 따라서, 이들에 대한 설명은 생략하기로 한다.

도 20을 참조하면, 상기 하부 층간절연막(74) 및 콘택 플러그들(75) 상에 하부전극막을 형성한다. 상기 하부전극막을 패터닝하여 상기 콘택 플러그들(75)을 덮는 복수개의 하부전극들(151)을 형성한다. 상기 하부전극들(151)을 포함하는 반도체기판의 전면에 하부 절연막(153)을 형성한다.

도 21을 참조하면, 상기 하부 절연막(153)을 평탄화시켜 상기 하부전극들(151)의 상부면들을 노출시킨다. 이에 따라, 상기 하부전극들(151) 사이의 갭 영역에 하부절연막 패턴(153a)이 형성된다. 상기 하부절연막 패턴(153a)이 형성된 결과물의 전면에 강유전체막 및 상부전극막을 차례로 형성한다. 상기 상부전극막 및 강유전체막을 연속적으로 패터닝하여 상기 워드라인들(57)과 평행한 복수개의 공통 강유전체막 패턴들(common ferroelectric layer patterns; 155) 및 상기 공통 강유전체막 패턴들(155) 상에 적층된 복수개의 공통 상부전극들(157)을 형성한다. 상기 공통 강유전체막 패턴들(155)의 각각은 서로 이웃하는 적어도 2개의 행들 및 적어도 하나의 열 내에 배열된 상기 하부전극들(151)을 덮는다. 이에 더하여, 상기

공통 강유전체막 패턴들(155)의 각각은 연장되어 상기 행 방향(y축)과 평행하도록 형성될 수도 있다. 상기 공통 강유전체막 패턴들(155) 사이의 겹 영역 및 상기 공통 상부전극들(157) 사이의 겹 영역에 본 발명의 제1 실시예와 동일한 방법을 사용하여 수소차단막 패턴(159) 및 상부 절연막 패턴(161)을 형성한다.

도 22를 참조하면, 상기 상부절연막 패턴(161)을 갖는 반도체기판의 전면에 하부 플레이트막을 형성한다. 상기 하부 플레이트막은 본 발명의 제1 실시예에서 설명한 하부 플레이트막과 동일한 물질막으로 형성한다. 상기 하부 플레이트막을 패터닝하여 상기 공통 상부전극(157)을 덮는 국부 플레이트 라인(163; 도 4의 P<sub>1</sub>)을 형성한다. 결과적으로, 상기 국부 플레이트 라인(163)은 적어도 2개의 인접한 행들 내에 배열된 상기 강유전체 커패시터들의 공통 상부전극(157)과 접촉한다. 바람직하게는, 상기 국부 플레이트 라인(163)은 적어도 2개의 인접한 행들 및 적어도 하나의 열 내에 배열된 상기 강유전체 커패시터들의 공통 상부전극(157)과 접촉한다.

상기 국부 플레이트 라인(163)이 형성된 결과물의 전면에 상부 중간절연막을 형성한다. 상기 상부 중간절연막은 제1 및 제2 상부 중간절연막들(165, 169)을 차례로 적층시키어 형성한다. 이에 더하여, 상기 제1 및 제2 상부 중간절연막들(165, 169) 사이에 복수개의 평행한 주 워드라인들(167)을 형성할 수 있다. 상기 주 워드라인들(167)은 도 12에서 설명된 본 발명의 제1 실시예와 동일한 방법을 사용하여 형성한다.

도 23을 참조하면, 상기 상부 중간절연막을 관통하는 슬릿형 비아홀(171)을 형성하고, 상기 슬릿형 비아홀(171)을 덮는 주 플레이트 라인(173)을 형성한다. 상기 슬릿형 비아홀(171) 및 주 플레이트 라인(173)은 본 발명의 제1 실시예와 동일한 방법을 사용하여 형성한다.

도 24는 도 20 내지 도 23에서 설명된 제3 실시예의 변형예(modified embodiment)를 설명하기 위한 단면도이다. 상기 변형예는 본 발명의 제3 실시예에서 상기 국부 플레이트 라인(163)을 형성하는 공정을 생략한 경우에 해당한다. 이 경우에, 상기 슬릿형 비아홀(171)은 상기 공통 상부전극(157)을 노출시킨다.

도 25는 도 4에 보여진 본 발명의 제1 실시예의 변형예(modified embodiment)를 보여주는 평면도이고, 도 26은 도 25에 II-II'에 따라 본 발명의 변형예에 따른 강유전체 메모리소자 및 그 제조방법을 설명하기 위한 단면도들이다. 이 변형예에서, 셀 트랜지스터들, 하부 중간절연막, 문턱 플러그들, 강유전체 커패시터들 및 절연막 패턴들은 도 8 내지 도 11에서 설명된 본 발명의 제1 실시예와 동일한 방법을 사용하여 형성한다. 따라서, 이들에 대한 설명은 생략하기로 한다.

먼저, 도 25 및 도 26을 참조하여 본 발명의 변형예에 따른 강유전체 메모리소자를 설명하기로 한다.

도 25 및 도 26을 참조하면, 상기 강유전체 커패시터들(82) 및 상기 절연막 패턴(85a) 상에 복수개의 국부 플레이트 패턴들(local plate patterns; PP)이 배치된다. 상기 국부 플레이트 패턴들(PP)은 금속막, 도전성 금속산화막, 도전성 금속질화막 또는 이들의 복합막일 수 있다. 예를 들면, 상기 국부 플레이트 패턴들(PP)은 타이타늄, 알루미늄, 질화막(TiAlN), 타이타늄막(Ti), 타이타늄 질화막(TiN), 이리디움막(Ir), 이리디움 산화막(IrO<sub>2</sub>), 백금막(Pt), 루테튬막(Ru), 루테튬 산화막(RuO<sub>2</sub>), 알루미늄막(Al) 또는 이들의 복합막일 수 있다. 상기 국부 플레이트 패턴들(PP)은 상기 행 방향(y축) 및 상기 열 방향(x축)을 따라 2차원적으로 배치된다. 좀 더 구체적으로, 상기 국부 플레이트 패턴들(PP)의 각각은 적어도 2개의 인접하는 행들 및 적어도 하나의 열 내에 배치된 상기 강유전체 커패시터들(82)을 덮는다. 예를 들면, 상기 각 국부 플레이트 패턴들(PP)은, 도 25에 도시된 바와 같이, 2개의 인접한 행들 및 2개의 인접한 열들 내에 배치된 4개의 커패시터들(82)을 덮는다. 결과적으로, 상기 각 국부 플레이트 패턴들(PP)은 적어도 2개의 인접하는 행들 및 적어도 하나의 열 내에 배치된 상기 상부전극들(81)들과 직접적으로 접촉한다. 상기 국부 플레이트 패턴들(PP)을 갖는 반도체기판의 전면은 상부 중간절연막에 의해 덮여진다. 여기서, 상기 상부 중간절연막은 차례로 적층된 제1 및 제2 상부 중간절연막들(89, 93)을 포함할 수 있다.

이에 더하여, 본 발명의 제1 실시예에서 보여진 바와 같이, 상기 제1 및 제2 상부 중간절연막들(89, 93) 사이에 복수개의 주 워드라인들(main word lines; 91)이 개재될 수 있다. 상기 주 워드라인들(91)의 각각은 일반적으로 디코더(decoder)를 통하여 4개의 워드라인들(57)을 제어한다. 상기 주 워드라인들(91) 사이의 상기 상부 중간절연막 내에 주 플레이트 라인(97)이 배치된다. 상기 주 플레이트 라인(97)은 상기 상부 중간절연막을 관통하는 복수개의 비아홀들(95c)을 통하여 상기 y방향과 평행하도록 배치된 상기 복수개의 국부 플레이트 패턴들(PP)과 전기적으로 접속된다. 이와는 달리, 상기 주 플레이트 라인(97)은 상기 상부 중간절연막을 관통하는 슬릿형 비아홀(도 4의 95)을 통하여 상기 y방향과 평행하도록 배치된 상기 복수개의 국부 플레이트 패턴들(PP)과 전기적으로 접속될 수도 있다.

다음에, 본 발명의 변형예에 따른 강유전체 메모리소자의 제조방법을 설명하기로 한다.

도 25 및 도 26을 다시 참조하면, 상기 강유전체 커패시터들(82) 및 절연막 패턴들(85a)이 형성된 반도체기판의 전면에 하부 플레이트막을 형성한다. 상기 하부 플레이트막은 금속막, 도전성 금속산화막, 도전성 금속질화막 또는 이들의 복합막으로 형성할 수 있다. 구체적으로, 상기 하부 플레이트막은 타이타늄, 알루미늄, 질화막(TiAlN), 타이타늄막(Ti), 타이타늄 질화막(TiN), 이리디움막(Ir), 이리디움 산화막(IrO<sub>2</sub>), 백금막(Pt), 루테튬막(Ru), 루테튬 산화막(RuO<sub>2</sub>), 알루미늄막(Al) 또는 이들의 복합막으로 형성할 수 있다. 상기 하부 플레이트막을 패터닝하여 복수개의 국부 플레이트 패턴들(PP)을 형성한다. 상기 국부 플레이트 패턴들(PP)의 각각은 적어도 2개의 인접한 행들 및 적어도 하나의 열 내에 배열된 강유전체 커패시터들(82)을 덮는다. 예를 들면, 상기 각 국부 플레이트 패턴들(PP)은 2개의 인접한 행들 및 2개의 인접한 열들 내에 배치된 4개의 상부전극들(81)과 직접 접촉한다. 이에 따라, 국부 플레이트 라인을 채택하는 본 발명의 제1 실시예에 비하여 상기 국부 플레이트 패턴들(PP)에 가인하는 물리적인 스트레스를 현저히 감소시킬 수 있다. 특히, 상기 하부 플레이트막을 이리디움막 및/또는 이리디움 산화막과 같이 높은 스트레스를 갖는 물질막으로 형성하는 경우에, 상기 국부 플레이트 패턴들(PP)에 가인하는 스트레스는 본 발명의 제1 실시예에서의 국부 플레이트 라인들(87)에 가인하는 스트레스에 비하여 현저히 감소된다. 따라서, 본 변형예에서와 같이 국부 플레이트 라인(87) 대신에 국부 플레이트 패턴들(PP)을 형성하는 경우에, 상기 강유전체 커패시터들(82)에 인가되는 스트레스를 감소시킬 수 있다. 결과적으로, 상기 강유전체 커패시터들(82)의 강유전 특성의 열화를 억제시킬 수 있다.

상기 국부 플레이트 패턴(PP)을 갖는 반도체기판의 전면 상에 상부 층간절연막을 형성한다. 상기 상부 층간절연막은 제1 및 제2 상부 층간절연막들(89, 93)을 차례로 적층시키며 형성한다. 상기 제2 상부 층간절연막(93)을 형성하기 전에 상기 제1 상부 층간절연막(89) 상에 상기 y방향과 평행한 복수개의 주 워드 라인들(91)을 형성할 수 있다. 여기서, 상기 주 워드 라인들(91)의 각각은 일반적으로 디코더(decoder)를 통하여 4개의 워드 라인들(57)을 제어한다.

계속해서, 상기 상부 층간절연막을 패터닝하여 상기 국부 플레이트 패턴(PP)을 노출시키는 복수개의 비아홀들(95c)을 형성한다. 이에 따라, 상기 복수개의 비아홀들(95c)은 상기 x축 및 y축을 따라 2차원적으로 배열된다. 이와는 달리, 상기 비아홀들(95c) 대신에 본 발명의 제1 실시예에서 설명한 슬릿형 비아홀(도 5 및 도 13의 95)을 형성할 수도 있다. 상기 복수개의 비아홀들(95c)을 갖는 반도체기판의 전면 상에 금속막과 같은 상부 플레이트막을 형성한다. 상기 상부 플레이트막을 패터닝하여 상기 복수개의 비아홀들(95c)을 덮는 주 플레이트 라인(97)을 형성한다. 상기 주 플레이트 라인(97)은 상기 y축과 평행하도록 형성된다.

본 발명은 상기한 실시예들에 한정되지 않고, 당업자의 수준에서 변형 및 개량이 가능하다. 예를 들면, 상기 플레이트 라인들의 각각은 서로 이웃하는 3개 이상의 행들 상에 배열된 강유전체 커패시터들을 덮을 수도 있다.

#### 발명의 효과

상술한 바와 같이 본 발명에 따르면, 하나의 플레이트 라인이 셀 어레이 영역 내에 서로 이웃한 적어도 2개의 행들 상에 배열된 강유전체 커패시터들의 상부전극들과 직접적으로 접촉한다. 이와는 달리, 서로 이웃한 적어도 2개의 행들 상에 배열된 강유전체 커패시터들은 하나의 공통 상부전극을 공유할 수도 있다. 이 경우에, 상기 공통 상부전극은 하나의 플레이트 라인과 직접적으로 접촉한다. 이에 따라, 상기 플레이트 라인 및 상부전극 사이에 신뢰성 있는 콘택 구조를 구현할 수 있다.

이에 더하여, 상기 셀 어레이 영역 내에 주 워드 라인들이 배치되고 상기 주 워드 라인들 사이에 슬릿형 비아홀이 형성되는 경우에, 상기 슬릿형 비아홀과 상기 주 워드 라인 사이의 거리를 종래기술에 비하여 현저히 증가시킬 수 있다.

더 나아가서, 상기 국부 플레이트 라인 대신에 복수개의 국부 플레이트 패턴들을 형성하는 경우에, 상기 강유전체 커패시터들에 인가되는 물리적인 스트레스를 현저히 감소시킬 수 있다. 이에 따라, 강유전체 커패시터들의 강유전 특성이 저하되는 것을 방지할 수 있다.

결과적으로, 강유전체 메모리소자의 집적도를 증가시키는 것과 아울러 그것의 신뢰성을 향상시키는 것이 가능하다.

#### (5) 청구의 범위

청구항 1. 반도체기판 상에 형성된 하부 층간절연막;

상기 하부 층간절연막 상에 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 강유전체 커패시터들;

상기 복수개의 강유전체 커패시터들을 갖는 반도체기판의 전면에 적층된 상부 층간절연막; 및

상기 상부 층간절연막 내에 상기 행 방향과 평행하게 배치된 복수개의 플레이트 라인들을 포함하되, 상기 플레이트 라인들의 각각은 서로 이웃한 적어도 2개의 행들(two rows) 상에 배열된 상기 강유전체 커패시터들의 상부면들과 직접적으로 접촉하는 것을 특징으로 하는 강유전체 메모리소자.

청구항 2. 제 1 항에 있어서,

상기 플레이트 라인은 서로 이웃한 적어도 2개의 행들 상에 배열된 상기 강유전체 커패시터들의 상부면들과 직접적으로 접촉하는 국부 플레이트 라인(local plate line)이고, 상기 국부 플레이트 라인은 상기 상부 층간절연막에 의해 덮여진 것을 특징으로 하는 강유전체 메모리소자.

청구항 3. 제 2 항에 있어서,

상기 국부 플레이트 라인은 타이타늄, 알루미늄, 질화막, 타이타늄막, 타이타늄 질화막, 이리디움막, 이리디움 산화막, 백금막, 루테튬막, 루테튬 산화막, 알루미늄막 또는 이들의 조합막인 것을 특징으로 하는 강유전체 메모리소자.

청구항 4. 제 1 항에 있어서,

상기 플레이트 라인은 상기 상부 층간절연막을 관통하는 슬릿형 비아홀(slot-type via hole)을 통하여 서로 이웃한 적어도 2개의 행들 상에 배열된 상기 강유전체 커패시터들의 상부면들과 직접적으로 접촉하는 주 플레이트 라인(main plate line)인 것을 특징으로 하는 강유전체 메모리소자.

청구항 5. 제 4 항에 있어서,

상기 상부 층간절연막은 차례로 적층된 제1 및 제2 상부 층간절연막들을 포함하는 것을 특징으로 하는 강유전체 메모리소자.

청구항 6. 제 5 항에 있어서,

상기 슬릿형 비아홀의 양 옆에 상기 행 방향과 평행하게 배치되고 상기 제1 및 제2 상부 층간절연막들 사이에 개재된 주 워드 라인들(main word lines)을 더 포함하는 것을 특징으로 하는 강유전체 메모리소자.

청구항 7. 제 1 항에 있어서,

상기 플레이트 라인은

서로 이웃한 적어도 2개의 행을 상에 배열된 상기 강유전체 커패시터들의 상부면들과 직접적으로 접촉하되, 상기 상부 층간절연막에 의해 덮여진 국부 플레이트 라인(local plate line); 및

상기 상부 층간절연막을 관통하는 슬릿형 비아홀(slit-type via hole)을 통하여 상기 국부 플레이트 라인의 상부면과 직접적으로 접촉하는 주 플레이트 라인(main plate line)을 포함하는 것을 특징으로 하는 강유전체 메모리소자.

청구항 8. 제 7 항에 있어서,

상기 국부 플레이트 라인은 타이타늄 알루미늄 질화막, 타이타늄막, 타이타늄 질화막, 이리디움막, 이리디움 산화막, 백금막, 루테튬막, 루테튬 산화막, 알루미늄막 또는 이들의 조합막인 것을 특징으로 하는 강유전체 메모리소자.

청구항 9. 제 7 항에 있어서,

상기 상부 층간절연막은 차례로 적층된 제1 및 제2 상부 층간절연막들을 포함하는 것을 특징으로 하는 강유전체 메모리소자.

청구항 10. 제 9 항에 있어서,

상기 슬릿형 비아홀의 양 옆에 상기 행 방향과 평행하게 배치되고 상기 제1 및 제2 상부 층간절연막들 사이에 개재된 주 워드라인들(main word lines)을 더 포함하는 것을 특징으로 하는 강유전체 메모리소자.

청구항 11. 제 1 항에 있어서,

상기 강유전체 커패시터들의 각각은 상기 하부 층간절연막을 관통하는 스토리지 노드 콘택홀을 통하여 상기 반도체기판의 소정영역과 전기적으로 접속되되, 상기 스토리지 노드 콘택홀의 상부벽경은 그것의 하부 벽경보다 큰 것을 특징으로 하는 강유전체 메모리소자.

청구항 12. 제 1 항에 있어서,

상기 강유전체 커패시터들의 각각은 차례로 적층된 하부전극, 강유전체막 패턴 및 상부전극을 포함하되, 상기 플레이트 라인은 서로 이웃한 적어도 2개의 행을 상에 배열된 상기 상부전극들과 직접적으로 접촉하는 것을 특징으로 하는 강유전체 메모리소자.

청구항 13. 제 12 항에 있어서,

상기 강유전체 커패시터들 사이의 갭 영역을 채우는 절연막 패턴을 더 포함하되, 상기 절연막 패턴은 상기 상부 층간절연막 및 상기 하부 층간절연막 사이에 개재되는 것을 특징으로 하는 강유전체 메모리소자.

청구항 14. 제 13 항에 있어서,

상기 절연막 패턴은 상기 상부 층간절연막에 대하여 식각 선택비를 갖는 것을 특징으로 하는 강유전체 메모리소자.

청구항 15. 제 13 항에 있어서,

적어도 상기 강유전체막 패턴들 및 상기 절연막 패턴 사이에 개재된 수소차단막 패턴(hydrogen barrier layer pattern)을 더 포함하는 것을 특징으로 하는 강유전체 메모리소자.

청구항 16. 제 1 항에 있어서,

상기 강유전체 커패시터는 차례로 적층된 하부전극, 강유전체막 패턴 및 공통 상부전극(common top electrode)을 포함하되, 상기 공통 상부전극은 연장되어 상기 플레이트 라인의 아래에 위치하는 상기 강유전체막 패턴들을 덮고, 상기 공통 상부전극의 상부면은 상기 플레이트 라인과 직접적으로 접촉하는 것을 특징으로 하는 강유전체 메모리소자.

청구항 17. 제 16 항에 있어서,

상기 하부전극들 사이의 갭 영역 및 상기 강유전체막 패턴들 사이의 갭 영역을 채우는 절연막 패턴을 더 포함하되, 상기 절연막 패턴은 상기 상부 층간절연막 및 상기 하부 층간절연막 사이에 개재되는 것을 특징으로 하는 강유전체 메모리소자.

청구항 18. 제 17 항에 있어서,

적어도 상기 강유전체막 패턴들의 측벽들 및 상기 절연막 패턴 사이에 개재된 수소차단막 패턴(hydrogen barrier layer pattern)을 더 포함하는 것을 특징으로 하는 강유전체 메모리소자.

청구항 19. 제 1 항에 있어서,

상기 강유전체 커패시터는 차례로 적층된 하부전극, 공통 강유전체막 패턴(common ferroelectric layer pattern) 및 공통 상부전극(common top electrode)을 포함하되, 상기 공통 강유전체막 패턴은 연장되어 상기 플레이트 라인의 하부의 상기 하부전극들을 덮고, 상기 공통 상부전극은 상기 공통 강유전체막 패턴 및 상기 플레이트 라인 사이에 개재된 것을 특징으로 하는 강유전체 메모리소자.

청구항 20. 제 19 항에 있어서,

상기 공통 강유전체막 패턴들 사이의 갭 영역 및 상기 공통 상부전극들 사이의 갭 영역을 채우는 절연막 패턴을 더 포함하되, 상기 절연막 패턴은 상기 하부 층간절연막 및 상기 상부 층간절연막 사이에 개재된 것을 특징으로 하는 강유전체 메모리소자.



청구항 21. 제 20 항에 있어서,

적어도 상기 공통 강유전체막 패턴들의 측면을 및 상기 절연막 패턴 사이에 개재된 수소차단막 패턴(hydrogen barrier layer pattern)을 더 포함하는 것을 특징으로 하는 강유전체 메모리소자.

청구항 22. 반도체기판 상에 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 셀 트랜지스터들;

상기 셀 트랜지스터들을 갖는 반도체기판의 전면을 덮는 하부 층간절연막;

상기 하부 층간절연막 상에 상기 행 방향 및 상기 열 방향을 따라 2차원적으로 배열되고, 그 각각은 상기 하부 층간절연막을 관통하는 스토리지 노드 콘택홀을 통하여 상기 각 셀 트랜지스터들과 전기적으로 접속된 강유전체 커패시터들;

상기 강유전체 커패시터들을 갖는 반도체기판 상에 상기 행 방향과 평행하도록 배치되고, 그 각각은 서로 이웃한 적어도 2개의 행들(two rows) 상에 배열된 상기 강유전체 커패시터들의 상부면들과 직접적으로 접촉하는 복수개의 국부 플레이트 라인들(local plate lines); 및

상기 복수개의 국부 플레이트 라인들을 갖는 반도체기판의 전면에 차례로 적층된 제1 및 제2 상부 층간절연막들을 포함하는 강유전체 메모리소자.

청구항 23. 제 22 항에 있어서,

상기 국부 플레이트 라인들은 타이타늄 알루미늄 질화막, 타이타늄막, 타이타늄 질화막, 이리디움막, 이리디움 산화막, 백금막, 루테튬 산화막, 루테튬 산화막, 알루미늄막 또는 이들의 조합막인 것을 특징으로 하는 강유전체 메모리소자.

청구항 24. 제 22 항에 있어서,

상기 제1 및 제2 상부 층간절연막들을 관통하되, 상기 국부 플레이트 라인을 노출시키는 슬릿형 비아홀(slit-type via hole); 및

상기 슬릿형 비아홀을 덮는 주 플레이트 라인(main plate line)을 더 포함하는 것을 특징으로 하는 강유전체 메모리소자.

청구항 25. 제 24 항에 있어서,

상기 제1 및 제2 상부 층간절연막들 사이에 개재된 복수개의 주 워드라인들(main word lines)을 더 포함하되, 상기 주 워드라인들은 상기 행 방향과 평행하고 상기 슬릿형 비아홀의 양 옆에 배치된 것을 특징으로 하는 강유전체 메모리소자.

청구항 26. 제 22 항에 있어서,

상기 강유전체 커패시터는 차례로 적층된 하부전극, 강유전체막 패턴 및 상부전극을 포함하되, 상기 국부 플레이트 라인은 서로 이웃한 적어도 2개의 행들 상에 배열된 상기 상부전극들과 직접적으로 접촉하는 것을 특징으로 하는 강유전체 메모리소자.

청구항 27. 제 22 항에 있어서,

상기 강유전체 커패시터는 차례로 적층된 하부전극, 강유전체막 패턴 및 공통 상부전극(common top electrode)을 포함하되, 상기 공통 상부전극은 연장되어 상기 국부 플레이트 라인의 아래에 위치하는 상기 강유전체막 패턴들을 덮고, 상기 공통 상부전극의 상부면은 상기 국부 플레이트 라인과 직접적으로 접촉하는 것을 특징으로 하는 강유전체 메모리소자.

청구항 28. 제 22 항에 있어서,

상기 강유전체 커패시터는 차례로 적층된 하부전극, 공통 강유전체막 패턴(common ferroelectric layer pattern) 및 공통 상부전극(common top electrode)을 포함하되, 상기 공통 강유전체막 패턴은 연장되어 상기 국부 플레이트 라인의 하부의 상기 하부전극들을 덮고, 상기 공통 상부전극은 상기 공통 강유전체막 패턴 및 상기 국부 플레이트 라인 사이에 개재된 것을 특징으로 하는 강유전체 메모리소자.

청구항 29. 반도체기판 상에 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 셀 트랜지스터들;

상기 셀 트랜지스터들을 갖는 반도체기판의 전면을 덮는 하부 층간절연막;

상기 하부 층간절연막 상에 상기 행 방향 및 상기 열 방향을 따라 2차원적으로 배열되고, 그 각각은 상기 하부 층간절연막을 관통하는 스토리지 노드 콘택홀을 통하여 상기 각 셀 트랜지스터들과 전기적으로 접속된 강유전체 커패시터들;

상기 강유전체 커패시터들을 갖는 반도체기판의 전면에 차례로 적층된 제1 및 제2 상부 층간절연막들;

상기 제1 및 제2 상부 층간절연막들을 관통하되, 서로 이웃한 적어도 2개의 행들 상에 배열된 상기 강유전체 커패시터들의 상부면들을 노출시키고 상기 행 방향과 평행한 슬릿형 비아홀; 및

상기 슬릿형 비아홀을 덮는 주 플레이트 라인(main plate line)을 포함하는 강유전체 메모리소자.

청구항 30. 제 29 항에 있어서,

상기 슬릿형 비아홀의 양 옆에 상기 행 방향과 평행하게 배치되고, 상기 제1 및 제2 상부 층간절연막들 사이에 개재된 복수개의 주 워드라인들(main word lines)을 더 포함하는 것을 특징으로 하는 강유전체 메모리소자.

**청구항 31.** 제 29 항에 있어서,

상기 강유전체 커패시터는 차례로 적층된 하부전극, 강유전체막 패턴 및 상부전극을 포함하되, 상기 주 플레이트 라인은 서로 이웃한 적어도 2개의 행을 상에 배열된 상기 상부전극들과 직접적으로 접촉하는 것을 특징으로 하는 강유전체 메모리소자.

**청구항 32.** 제 29 항에 있어서,

상기 강유전체 커패시터는 차례로 적층된 하부전극, 강유전체막 패턴 및 공통 상부전극(common top electrode)을 포함하되, 상기 공통 상부전극은 연장되어 상기 주 플레이트 라인의 아래에 위치하는 상기 강유전체막 패턴들을 덮고, 상기 공통 상부전극의 상부면은 상기 주 플레이트 라인과 직접적으로 접촉하는 것을 특징으로 하는 강유전체 메모리소자.

**청구항 33.** 제 29 항에 있어서,

상기 강유전체 커패시터는 차례로 적층된 하부전극, 공통 강유전체막 패턴(common ferroelectric layer pattern) 및 공통 상부전극(common top electrode)을 포함하되, 상기 공통 강유전체막 패턴은 연장되어 상기 주 플레이트 라인의 하부의 상기 하부전극들을 덮고, 상기 공통 상부전극은 상기 공통 강유전체막 패턴 및 상기 주 플레이트 라인 사이에 개재된 것을 특징으로 하는 강유전체 메모리소자.

**청구항 34.** 반도체기판 상에 하부 층간절연막을 형성하는 단계;

상기 하부 층간절연막 상에 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 강유전체 커패시터들을 형성하는 단계; 및

상기 강유전체 커패시터들을 갖는 반도체기판의 전면에 적층된 상부 층간절연막 및 상기 상부 층간절연막 내에 상기 행 방향과 평행하도록 배치된 복수개의 플레이트 라인들을 형성하는 단계를 포함하되, 상기 플레이트 라인들의 각각은 서로 이웃한 적어도 2개의 행을 상에 배열된 상기 강유전체 커패시터들의 상부면들과 직접적으로 접촉하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

**청구항 35.** 제 34 항에 있어서,

상기 복수개의 강유전체 커패시터들을 형성하는 단계는

상기 하부 층간절연막 상에 하부전극막, 강유전체막 및 상부전극막을 차례로 형성하는 단계; 및

상기 상부전극막, 상기 강유전체막 및 상기 하부전극막을 연속적으로 패터닝하여 상기 행 방향 및 상기 열 방향을 따라 2차원적으로 배열된 복수개의 하부전극들, 상기 하부전극들 상에 적층된 복수개의 강유전체막 패턴들 및 상기 강유전체막 패턴들 상에 적층된 복수개의 상부전극들을 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

**청구항 36.** 제 35 항에 있어서,

상기 상부 층간절연막 및 상기 플레이트 라인들을 형성하는 단계는

상기 강유전체 커패시터들이 형성된 반도체기판의 전면에 절연막을 형성하는 단계;

상기 상부전극들이 노출될 때까지 상기 절연막을 평탄화시켜 상기 강유전체 커패시터들 사이의 겹 영역을 채우는 절연막 패턴을 형성하는 단계;

상기 절연막 패턴을 갖는 반도체기판 전면에 하부 플레이트막을 형성하는 단계;

상기 하부 플레이트막을 패터닝하여 상기 행 방향과 평행한 복수개의 국부 플레이트 라인을 형성하되, 상기 각 국부 플레이트 라인은 서로 이웃하는 적어도 2개의 행을 상에 배열된 상기 상부전극들과 직접적으로 접촉하는 단계; 및

상기 국부 플레이트 라인들을 갖는 반도체기판의 전면 상에 제1 상부 층간절연막 및 제2 상부 층간절연막을 차례로 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

**청구항 37.** 제 36 항에 있어서,

상기 하부 플레이트막은 타이타늄, 알루미늄 질화막, 타이타늄막, 타이타늄 질화막, 이리디움 산화막, 백금막, 루테튬 산화막, 루테튬 산화막, 알루미늄 산화막 또는 이들의 조합막으로 형성하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

**청구항 38.** 제 36 항에 있어서,

상기 절연막을 형성하는 단계 전에,

상기 강유전체 커패시터들을 갖는 반도체기판 전면에 수소차단막을 분포되도록 형성하는 단계를 더 포함하되, 상기 상부전극들 상의 상기 수소차단막은 상기 절연막을 평탄화시키는 동안 제거되는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

**청구항 39.** 제 36 항에 있어서,

상기 제2 상부 층간절연막 및 상기 제1 상부 층간절연막을 연속적으로 패터닝하여 상기 국부 플레이트 라인을 노출시키고 상기 행 방향과 평행한 슬릿형 비아홀을 형성하는 단계; 및

상기 슬릿형 비아홀을 덮는 주 플레이트 라인을 형성하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

**청구항 40.** 제 39 항에 있어서,



상기 제2 상부 층간절연막을 형성하기 전에,

상기 제1 상부 층간절연막 상에 상기 행 방향과 평행한 복수개의 주 워드라인들을 형성하는 단계를 더 포함하되, 상기 주 워드라인들은 상기 슬릿형 비아홀의 양 옆에 배치되는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 41. 제 35 항에 있어서,

상기 상부 층간절연막 및 상기 플레이트 라인들을 형성하는 단계는

상기 강유전체 커패시터들이 형성된 반도체기판의 전면에 절연막을 형성하는 단계;

상기 상부전극들이 노출될 때까지 상기 절연막을 평탄화시켜 상기 강유전체 커패시터들 사이의 갭 영역을 채우는 절연막 패턴을 형성하는 단계;

상기 절연막 패턴을 갖는 반도체기판의 전면에 제1 및 제2 상부 층간절연막을 차례로 형성하는 단계;

상기 제2 상부 층간절연막 및 상기 제1 상부 층간절연막을 연속적으로 패터닝하여 서로 이웃한 적어도 2개의 행들 상에 배열된 상기 상부전극들을 노출시키고 상기 행 방향과 평행한 슬릿형 비아홀을 형성하는 단계; 및

상기 슬릿형 비아홀을 덮는 주 플레이트 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 42. 제 41 항에 있어서, 상기 절연막은 상기 제1 상부 층간절연막에 대하여 식각 선택비를 갖는 물질막으로 형성하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 43. 제 41 항에 있어서,

상기 절연막을 형성하는 단계 전에,

상기 강유전체 커패시터들을 갖는 반도체기판 전면에 수소차단막을 콘포말하게 형성하는 단계를 더 포함하되, 상기 상부전극들 상의 상기 수소차단막은 상기 절연막을 평탄화시키는 동안 제거되는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 44. 제 41 항에 있어서,

상기 제2 상부 층간절연막을 형성하기 전에,

상기 제1 상부 층간절연막 상에 상기 행 방향과 평행한 복수개의 주 워드라인들을 형성하는 단계를 더 포함하되, 상기 주 워드라인들은 상기 슬릿형 비아홀의 양 옆에 배치되는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 45. 제 34 항에 있어서,

상기 강유전체 커패시터들을 형성하는 단계는

상기 하부 층간절연막 상에 하부전극막 및 강유전체막을 차례로 형성하는 단계;

상기 강유전체막 및 상기 하부전극막을 연속적으로 패터닝하여 상기 행 방향 및 상기 열 방향을 따라 2차원적으로 배열된 복수개의 하부전극들 및 상기 하부전극들 상에 적층된 복수개의 강유전체막 패턴들을 형성하는 단계;

상기 하부전극들 사이의 갭 영역 및 상기 강유전체막 패턴들 사이의 갭 영역을 채우는 하부 절연막 패턴을 형성하는 단계;

상기 하부 절연막 패턴을 갖는 반도체기판의 전면에 상부전극막을 형성하는 단계; 및

상기 상부전극막을 패터닝하여 상기 행 방향과 평행한 복수개의 공통 상부전극을 형성하는 단계를 포함하되, 상기 각 공통 상부전극은 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 강유전체막 패턴들과 직접적으로 접촉하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 46. 제 45 항에 있어서,

상기 강유전체막 패턴의 측벽 및 상기 하부 절연막 패턴 사이에 개재된 수소차단막 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 47. 제 45 항에 있어서,

상기 상부 층간절연막 및 상기 플레이트 라인들을 형성하는 단계는

상기 강유전체 커패시터들이 형성된 반도체기판의 전면에 상부 절연막을 형성하는 단계;

상기 상부 절연막을 패터닝하여 상기 공통 상부전극을 노출시키고 상기 행 방향과 평행한 슬릿형 콘택홀을 형성하는 단계;

상기 슬릿형 콘택홀을 덮는 국부 플레이트 라인을 형성하는 단계; 및

상기 국부 플레이트 라인을 갖는 반도체기판의 전면 상에 제1 및 제2 상부 층간절연막을 차례로 형성하는 단계를 포함하는 강유전체 메모리소자의 제조방법.

청구항 48. 제 47 항에 있어서,

상기 국부 플레이트 라인은 타이타늄 알루미늄 질화막, 타이타늄막, 타이타늄 질화막, 이리디움막, 이리디움 산화막, 백금막, 루테튬막, 루테튬 산화막, 알루미늄막 또는 이들의 조합막으로 형성하는 것을

특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 49. 제 47 항에 있어서,

상기 제2 상부 층간절연막 및 상기 제1 상부 층간절연막을 연속적으로 패터닝하여 상기 국부 플레이트 라인을 노출시키고 상기 행 방향과 평행한 슬릿형 비아홀을 형성하는 단계; 및

상기 슬릿형 비아홀을 덮는 주 플레이트 라인을 형성하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 50. 제 49 항에 있어서,

상기 제2 상부 층간절연막을 형성하기 전에,

상기 제1 상부 층간절연막 상에 상기 행 방향과 평행한 복수개의 주 워드라인들을 형성하는 단계를 더 포함하되, 상기 주 워드라인들은 상기 슬릿형 비아홀의 양 옆에 배치되는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 51. 제 45 항에 있어서,

상기 상부 층간절연막 및 상기 플레이트 라인들을 형성하는 단계는

상기 강유전체 커패시터들이 형성된 반도체기판의 전면에 제1 및 제2 상부 층간절연막을 차례로 형성하는 단계;

상기 제2 상부 층간절연막 및 상기 제1 상부 층간절연막을 연속적으로 패터닝하여 상기 공통 상부전극을 노출시키면서 상기 행 방향과 평행한 슬릿형 비아홀을 형성하는 단계; 및

상기 슬릿형 비아홀을 덮는 주 플레이트 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 52. 제 51 항에 있어서,

상기 제2 상부 층간절연막을 형성하기 전에,

상기 제1 상부 층간절연막 상에 상기 행 방향과 평행한 복수개의 주 워드라인들을 형성하는 단계를 더 포함하되, 상기 주 워드라인들은 상기 슬릿형 비아홀의 양 옆에 배치되는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 53. 제 34 항에 있어서,

상기 강유전체 커패시터들을 형성하는 단계는

상기 하부 층간절연막 상에 상기 행 방향 및 상기 열 방향을 따라 2차원적으로 배열된 복수개의 하부전극들을 형성하는 단계;

상기 하부전극을 갖는 반도체기판 전면에 강유전체막 및 상부전극막을 차례로 형성하는 단계; 및

상기 상부전극막 및 상기 강유전체막을 연속적으로 패터닝하여 상기 행 방향과 평행한 복수개의 공통 강유전체막 패턴들 및 상기 복수개의 강유전체막 패턴들 상에 적층된 복수개의 공통 상부전극들을 형성하되, 상기 각 공통 강유전체막 패턴은 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 하부전극들의 상부면들과 직접적으로 접촉하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 54. 제 53 항에 있어서,

상기 상부 층간절연막 및 상기 플레이트 라인들을 형성하는 단계는

상기 강유전체 커패시터를 사이의 갭 영역을 채우는 절연막 패턴을 형성하는 단계;

상기 절연막 패턴을 갖는 반도체기판 전면에 하부 플레이트막을 형성하는 단계;

상기 하부 플레이트막을 패터닝하여 상기 공통 상부전극들을 덮는 복수개의 국부 플레이트 라인들을 형성하는 단계; 및

상기 국부 플레이트 라인을 갖는 반도체기판의 전면에 제1 상부 층간절연막 및 제2 상부 층간절연막을 차례로 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 55. 제 54 항에 있어서,

상기 하부 플레이트막은 타이타늄, 알루미늄, 질화막, 타이타늄, 질화막, 이리디움, 이리디움 산화막, 백금, 루테튬, 루테튬 산화막, 알루미늄 또는 이들의 조합막으로 형성하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 56. 제 54 항에 있어서,

적어도 상기 공통 강유전체막 패턴 및 상기 절연막 패턴 사이에 개재된 수소차단막 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 57. 제 54 항에 있어서,

상기 제2 상부 층간절연막 및 상기 제1 상부 층간절연막을 연속적으로 패터닝하여 상기 국부 플레이트 라인을 노출시키면서 상기 행 방향과 평행한 슬릿형 비아홀을 형성하는 단계; 및

상기 슬릿형 비아홀을 덮는 주 플레이트 라인을 형성하는 단계를 더 포함하는 것을 특징으로 하는 강유전

체 메모리소자의 제조방법.

청구항 58. 제 57 항에 있어서,

상기 제2 상부 층간절연막을 형성하기 전에,

상기 제1 상부 층간절연막 상에 상기 행 방향과 평행한 복수개의 주 워드라인들을 형성하는 단계를 더 포함하되, 상기 주 워드라인들은 상기 슬릿형 비아홀의 양 옆에 배치되는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 59. 제 53 항에 있어서,

상기 상부 층간절연막 및 상기 플레이트 라인들을 형성하는 단계는

상기 강유전체 커패시터들이 형성된 반도체기판의 전면에 제1 및 제2 상부 층간절연막을 차례로 형성하는 단계;

상기 제2 상부 층간절연막 및 상기 제1 상부 층간절연막을 연속적으로 패터닝하여 상기 공통 상부전극을 노출시키면서 상기 행 방향과 평행한 슬릿형 비아홀을 형성하는 단계; 및

상기 슬릿형 비아홀을 덮는 주 플레이트 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 60. 제 59 항에 있어서,

상기 제1 상부 층간절연막을 형성하기 전에

상기 강유전체 커패시터들 사이의 갭 영역을 채우는 절연막 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 61. 제 60 항에 있어서,

적어도 상기 공통 강유전체막 패턴 및 상기 절연막 패턴 사이에 게재된 수소차단막 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 62. 제 59 항에 있어서,

상기 제2 상부 층간절연막을 형성하기 전에,

상기 제1 상부 층간절연막 상에 상기 행 방향과 평행한 복수개의 주 워드라인들을 형성하는 단계를 더 포함하되, 상기 주 워드라인들은 상기 슬릿형 비아홀의 양 옆에 배치되는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 63. 반도체기판 상에 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 셀 트랜지스터들을 형성하는 단계;

상기 셀 트랜지스터들을 갖는 반도체기판의 전면에 하부 층간절연막을 형성하는 단계;

상기 하부 층간절연막 상에 상기 행 방향 및 상기 열 방향을 따라 2차원적으로 배열된 복수개의 강유전체 커패시터들을 형성하되, 상기 각 강유전체 커패시터는 상기 하부 층간절연막을 관통하는 스토리지 노드 콘택홀을 통하여 상기 각 셀 트랜지스터와 전기적으로 접속되는 단계;

상기 복수개의 강유전체 커패시터들을 갖는 반도체기판 상에 상기 행 방향과 평행하게 배치된 복수개의 국부 플레이트 라인들을 형성하되, 상기 각 국부 플레이트 라인은 서로 이웃한 적어도 2개의 행들 상에 배열된 상기 강유전체 커패시터들의 상부면들과 직접적으로 접촉하는 단계; 및

상기 복수개의 국부 플레이트 라인들을 갖는 반도체기판의 전면에 제1 및 제2 상부 층간절연막을 차례로 형성하는 단계를 포함하는 강유전체 메모리소자의 제조방법.

청구항 64. 제 63 항에 있어서,

상기 국부 플레이트 라인들은 타이타늄 알루미늄 질화막, 타이타늄막, 타이타늄 질화막, 이리듐산화막, 이리듐 산화막, 백금막, 루테튬산화막, 루테튬 산화막, 알루미늄막 또는 이들의 조합막으로 형성하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 65. 제 63 항에 있어서,

상기 복수개의 국부 플레이트 라인들을 형성하는 단계는

상기 복수개의 강유전체 커패시터들 사이의 갭 영역을 채우는 절연막 패턴을 형성하는 단계;

상기 절연막 패턴을 갖는 반도체기판의 전면에 하부 플레이트막을 형성하는 단계; 및

상기 하부 플레이트막을 패터닝하여 상기 행 방향과 평행한 복수개의 국부 플레이트 라인들을 형성하는 단계를 포함하되, 상기 각 국부 플레이트 라인은 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 강유전체 커패시터들의 상부면들과 직접적으로 접촉하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 66. 제 63 항에 있어서,

상기 제2 상부 층간절연막 및 상기 제1 상부 층간절연막을 연속적으로 패터닝하여 상기 국부 플레이트 라인을 노출시키면서 상기 행 방향과 평행한 슬릿형 비아홀을 형성하는 단계; 및

상기 슬릿형 비아홀을 덮는 주 플레이트 라인을 형성하는 단계를 더 포함하는 것을 특징으로 하는 강유전

체 메모리소자의 제조방법.

청구항 67. 제 66 항에 있어서,

상기 제2 상부 층간절연막을 형성하기 전에

상기 제1 상부 층간절연막 상에 상기 행 방향과 평행한 복수개의 주 워드라인들을 형성하는 단계를 더 포함하되, 상기 주 워드라인들은 상기 슬릿형 비아홀의 양 옆에 배치되는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 68. 반도체기판 상에 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 셀 트랜지스터들을 형성하는 단계;

상기 셀 트랜지스터들을 갖는 반도체기판의 전면에 하부 층간절연막을 형성하는 단계;

상기 하부 층간절연막 상에 상기 행 방향 및 상기 열 방향을 따라 2차원적으로 배열된 복수개의 강유전체 커패시터들을 형성하되, 상기 각 강유전체 커패시터는 상기 하부 층간절연막을 관통하는 스토리지 노드 콘택홀을 통하여 상기 각 셀 트랜지스터와 전기적으로 접속되는 단계;

상기 복수개의 강유전체 커패시터들을 갖는 반도체기판의 전면에 제1 및 제2 상부 층간절연막들을 차례로 형성하는 단계;

상기 제2 상부 층간절연막 및 상기 제1 상부 층간절연막을 연속적으로 패터닝하여 서로 이웃한 적어도 2개의 행들 상에 배열된 상기 강유전체 커패시터들의 상부면들을 노출시키고 상기 행 방향과 평행한 슬릿형 비아홀을 형성하는 단계; 및

상기 슬릿형 비아홀을 덮는 주 플레이트 라인을 형성하는 단계를 포함하는 강유전체 메모리소자의 제조방법.

청구항 69. 제 68 항에 있어서,

상기 제2 상부 층간절연막을 형성하기 전에

상기 제1 상부 층간절연막 상에 상기 행 방향과 평행한 복수개의 주 워드라인들을 형성하는 단계를 더 포함하되, 상기 주 워드라인들은 상기 슬릿형 비아홀의 양 옆에 배치되는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 70. 반도체기판;

상기 반도체기판 상에 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 강유전체 커패시터들; 및

상기 복수개의 강유전체 커패시터들을 덮고 상기 행 방향 및 상기 열 방향을 따라 2차원적으로 배열된 복수개의 국부 플레이트 패턴들을 포함하되, 상기 국부 플레이트 패턴들의 각각은 적어도 2개의 인접한 행들 및 적어도 2개의 인접한 열들 내에 배열된 강유전체 커패시터들의 상부면들과 직접 접촉하는 것을 특징으로 하는 강유전체 메모리소자.

청구항 71. 제 70 항에 있어서,

상기 국부 플레이트 패턴들은 타이타늄, 알루미늄 질화막, 타이타늄막, 타이타늄 질화막, 이리디움막, 이리디움 산화막, 백금막, 루테튬 산화막, 알루미늄막 또는 이들의 조합막인 것을 특징으로 하는 강유전체 메모리소자.

청구항 72. 제 70 항에 있어서,

상기 강유전체 커패시터들의 각각은 차례로 적층된 하부전극, 강유전체막 패턴 및 상부전극을 포함하되, 상기 국부 플레이트 패턴들의 각각은 상기 적어도 2개의 인접한 행들 및 상기 적어도 2개의 인접한 열들 내에 배열된 상부전극들의 상부면들과 직접 접촉하는 것을 특징으로 하는 강유전체 메모리소자.

청구항 73. 제 72 항에 있어서,

상기 국부 플레이트 패턴들의 각각은 서로 인접한 2개의 행들 및 서로 인접한 2개의 열들 내에 배열된 4개의 상부전극들의 상부면들과 직접 접촉하는 것을 특징으로 하는 강유전체 메모리소자.

청구항 74. 제 70 항에 있어서,

상기 국부 플레이트 패턴들을 갖는 반도체기판 상에 상기 행 방향과 평행하도록 배치된 복수개의 주 플레이트 라인들을 더 포함하되, 상기 주 플레이트 라인들의 각각은 상기 행 방향을 따라 배치된 상기 복수개의 국부 플레이트 패턴들과 전기적으로 접속되는 것을 특징으로 하는 강유전체 메모리소자.

청구항 75. 제 74 항에 있어서,

상기 주 플레이트 라인들의 각각은 상기 행 방향과 평행하게 배열된 복수개의 비아홀들 또는 하나의 슬릿형 비아홀을 통하여 상기 복수개의 국부 플레이트 패턴들과 전기적으로 접속되는 것을 특징으로 하는 강유전체 메모리소자.

청구항 76. 제 75 항에 있어서,

상기 슬릿형 비아홀 또는 상기 복수개의 비아홀들의 양 옆에 상기 행 방향과 평행하게 배치된 주 워드라인들(main word lines)을 더 포함하되, 상기 주 워드라인들은 상기 국부 플레이트 패턴들보다 높고 상기 주 플레이트 라인들보다 낮은 위치에 배치되는 것을 특징으로 하는 강유전체 메모리소자.

청구항 77. 제 1 항에 있어서,

상기 플레이트 라인은 적어도 2개의 인접한 행들 및 적어도 하나의 열 내에 배열된 상기 강유전체 커패시

터들과 접촉하는 것을 특징으로 하는 강유전체 메모리소자.

형구함 78. 제 4 항에 있어서,

상기 슬릿형 비아홀은 적어도 2개의 인접한 행들 및 적어도 하나의 열 내에 배열된 상기 강유전체 커패시터들을 노출시키는 것을 특징으로 하는 강유전체 메모리소자.

형구함 79. 제 7 항에 있어서,

상기 슬릿형 비아홀은 적어도 2개의 인접한 행들 및 적어도 하나의 열 내에 배열된 상기 강유전체 커패시터들 상의 상기 국부 플레이트 라인을 노출시키는 것을 특징으로 하는 강유전체 메모리소자.

형구함 80. 제 34 항에 있어서,

상기 플레이트 라인은 적어도 2개의 행들 및 적어도 하나의 열 내에 배열된 상기 강유전체 커패시터들의 상부면들과 접촉하도록 형성하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

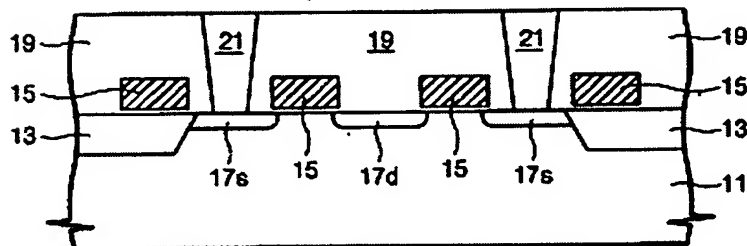
형구함 81. 제 39 항에 있어서,

상기 슬릿형 비아홀은 적어도 2개의 인접한 행들 및 적어도 하나의 열 내에 배열된 상기 강유전체 커패시터들 상의 상기 국부 플레이트 라인을 노출시키도록 형성하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

도면

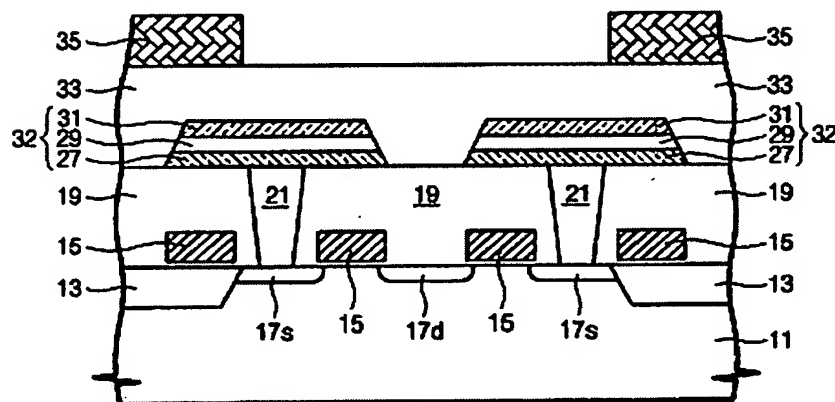
도면1

(종래 기술)



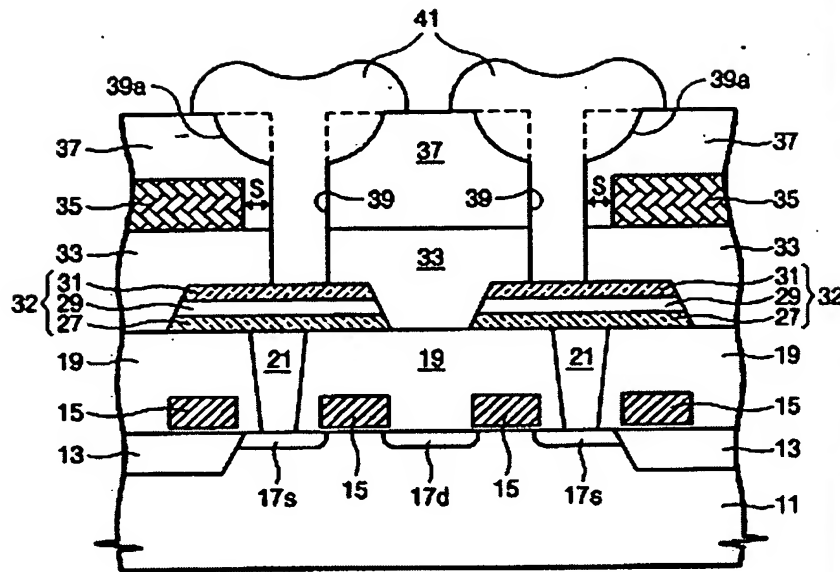
도면2

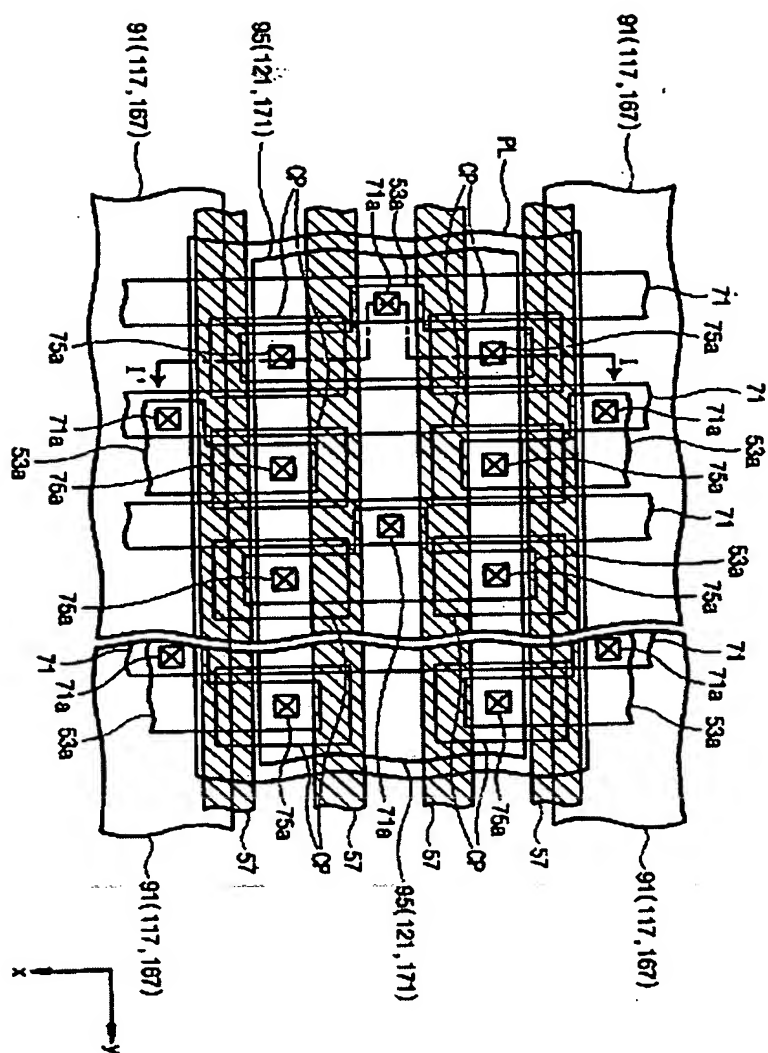
(종래 기술)



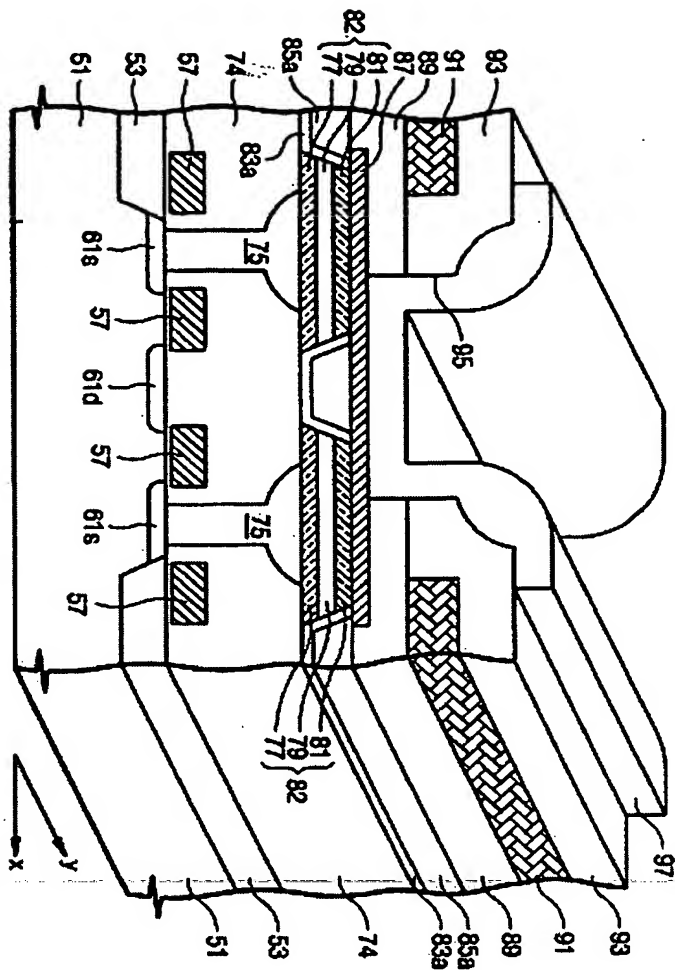
도 23

(중재 기술)

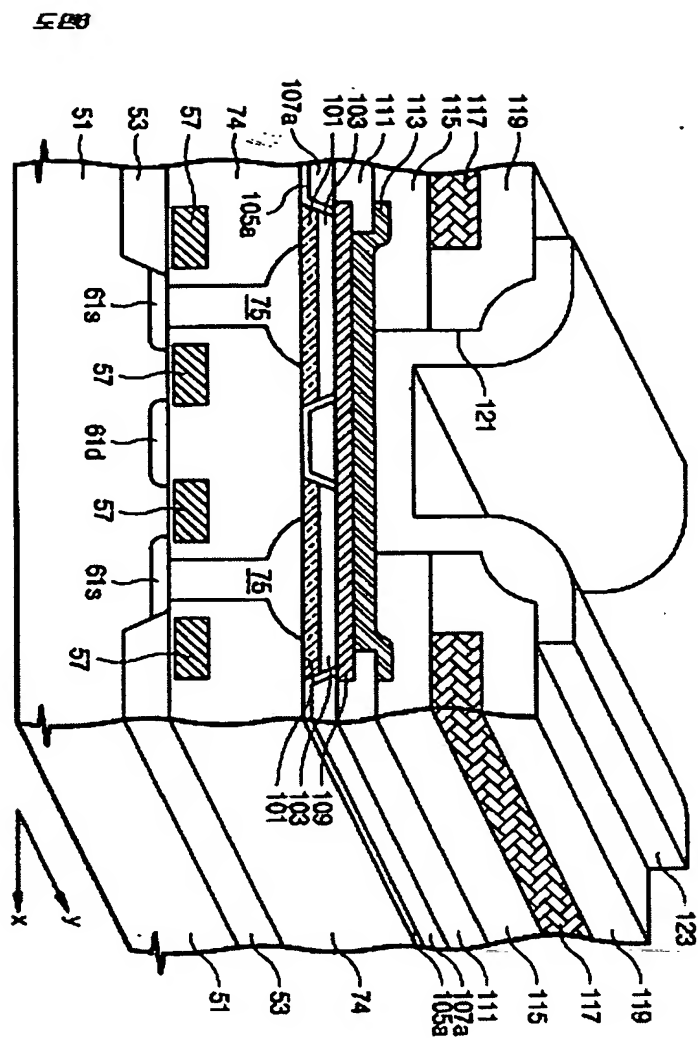




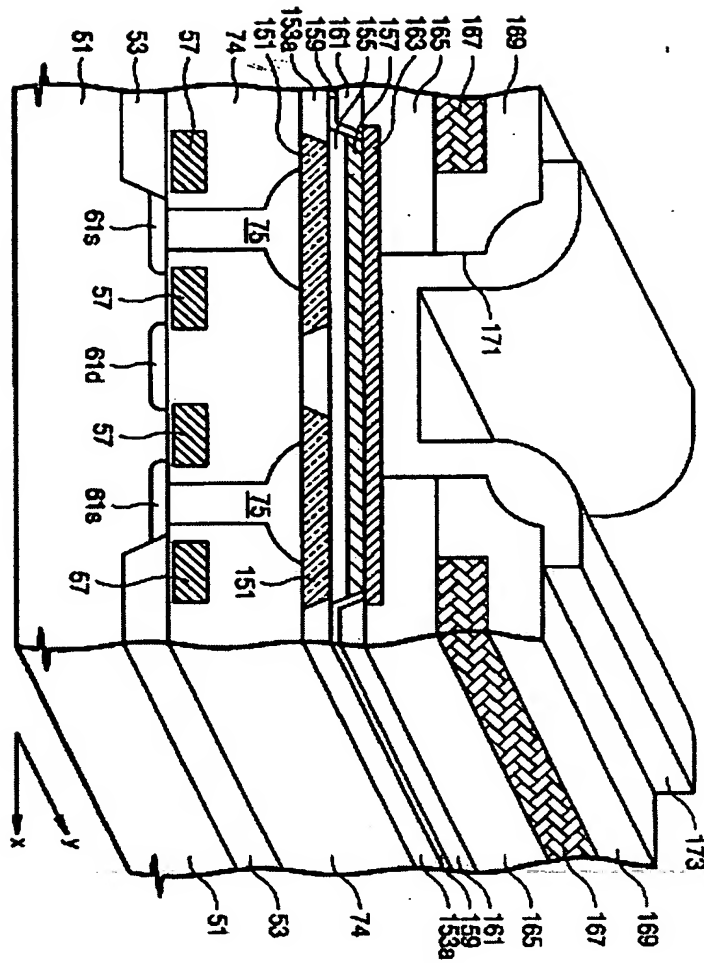
도 5



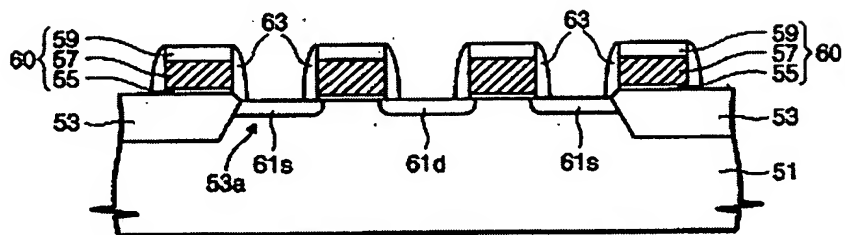




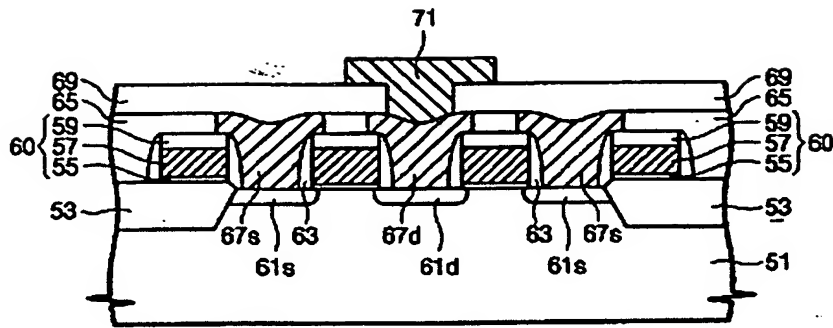
도 5



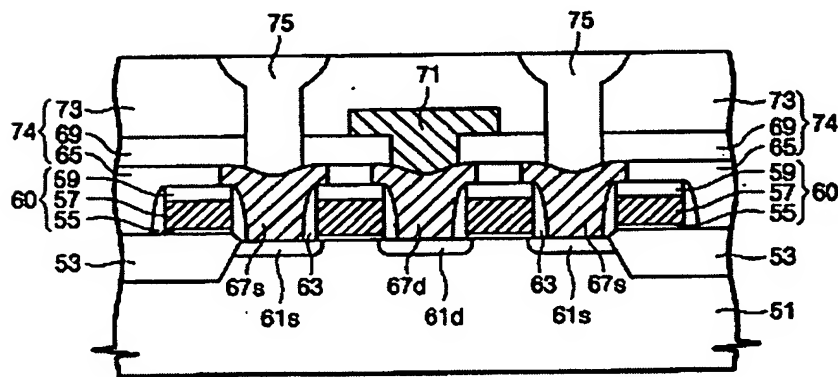
도 6



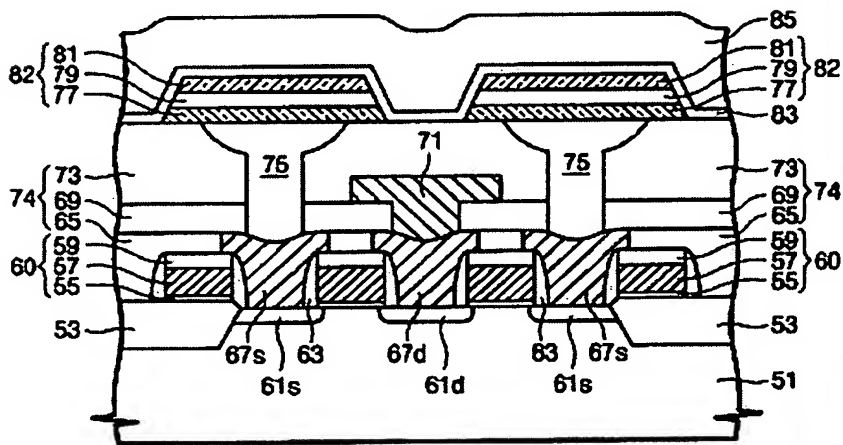
도 89



도 90

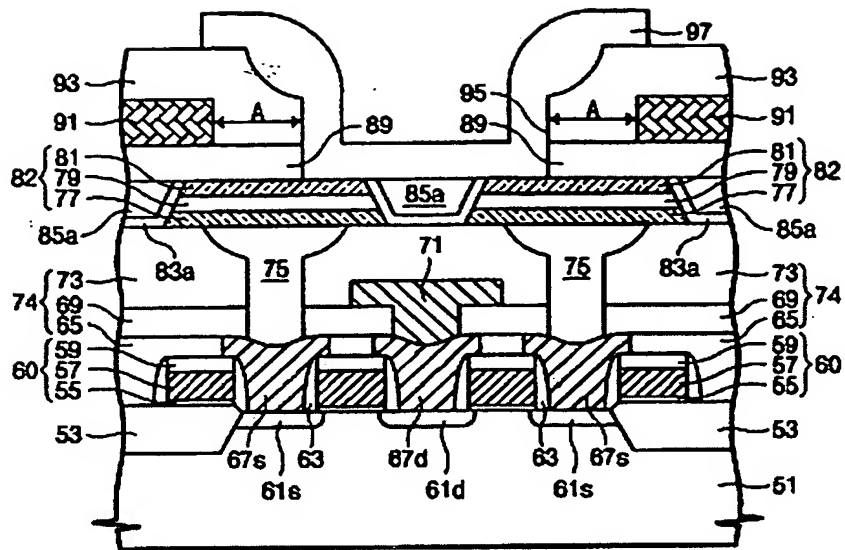


도 91

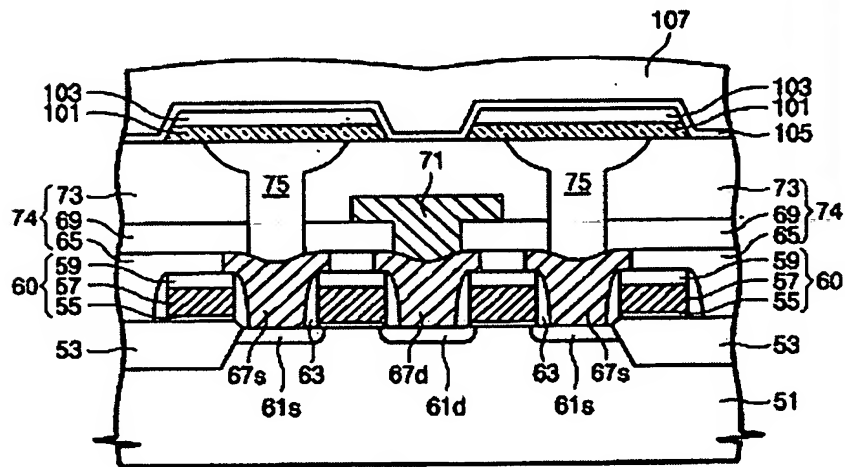




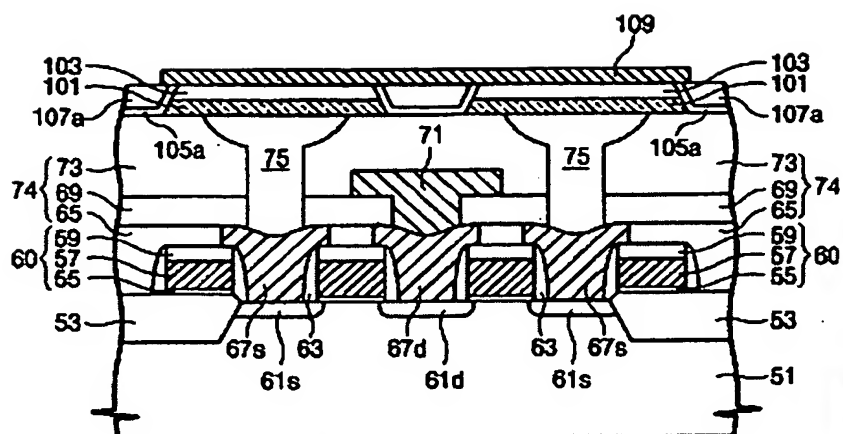
도 14



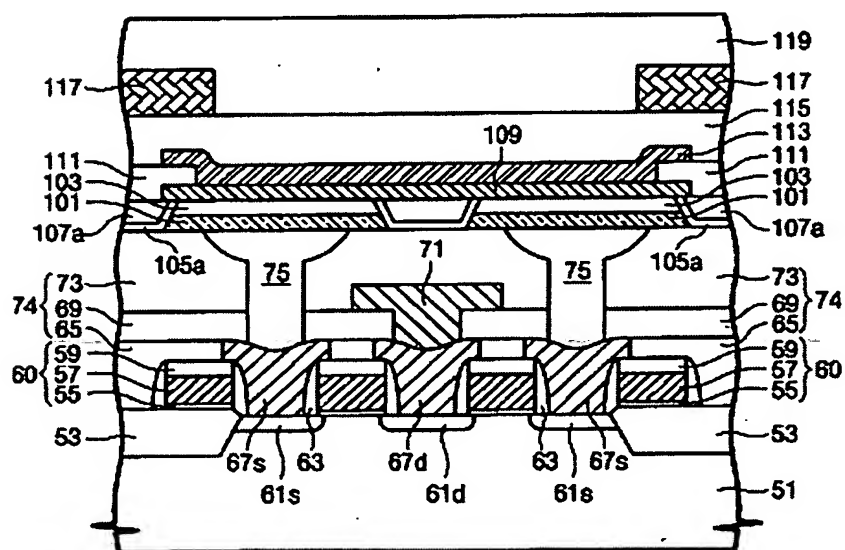
도 15



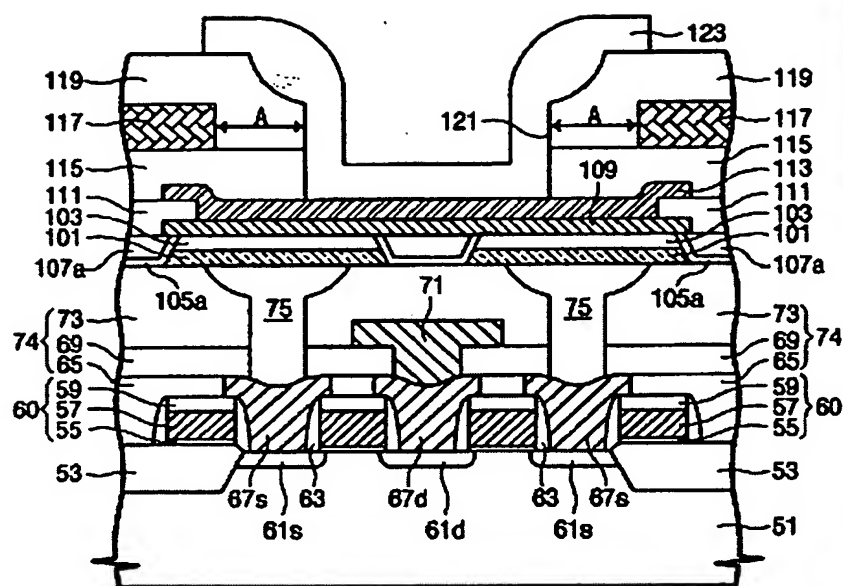
도면 8



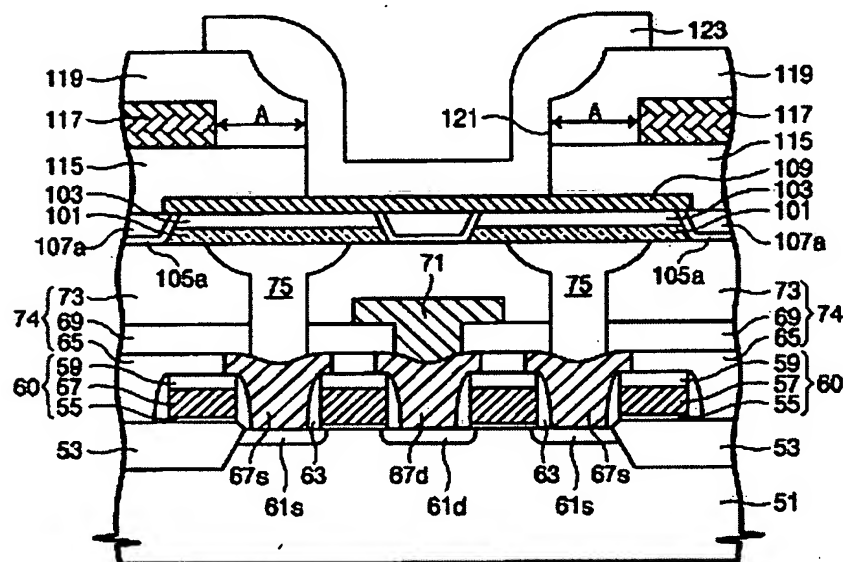
도면 9



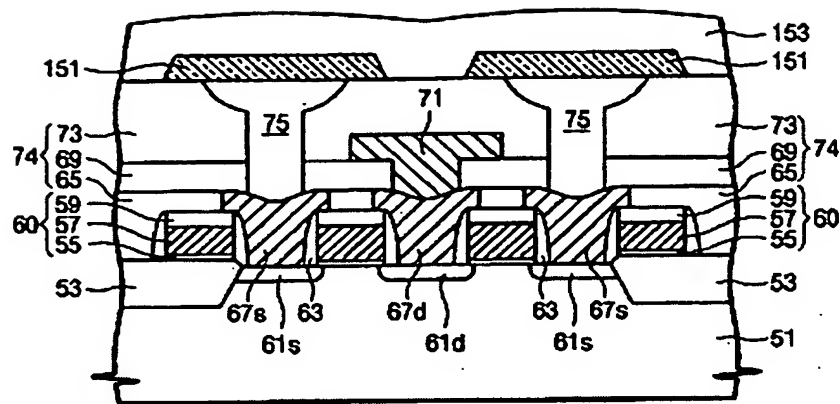
508



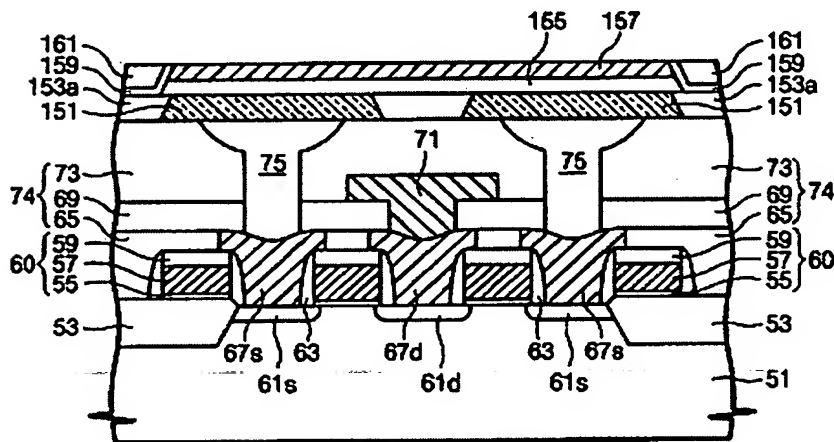
五五五



도 20

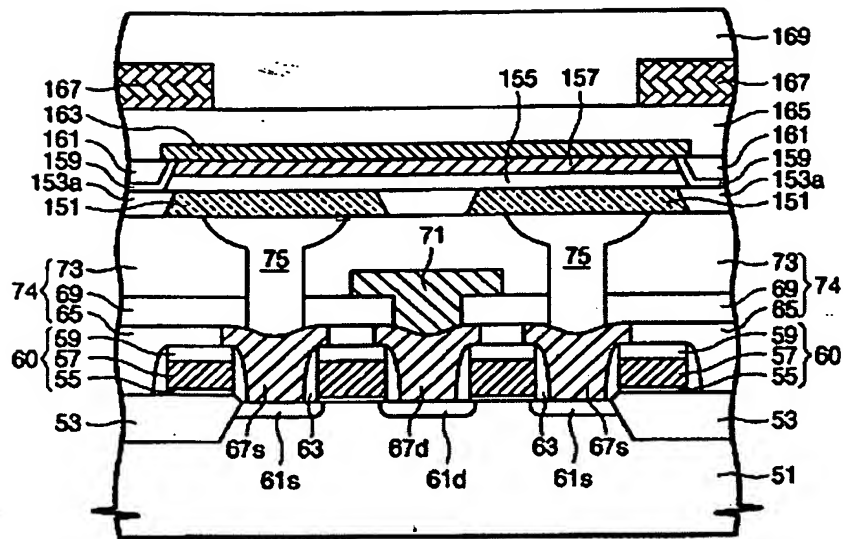


도 21

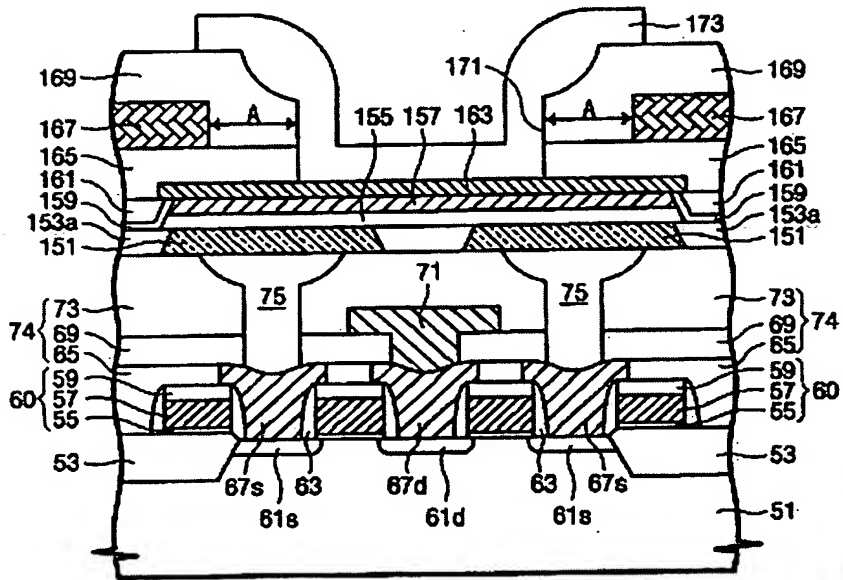




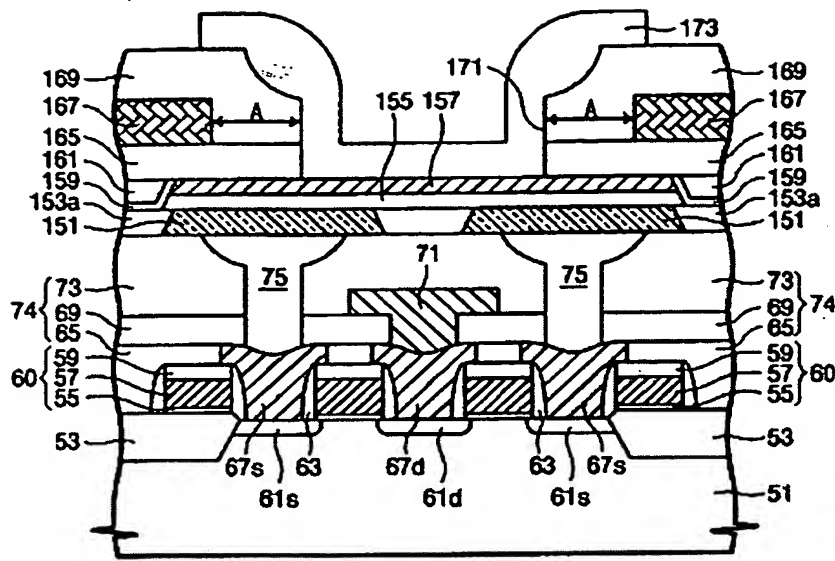
도 22



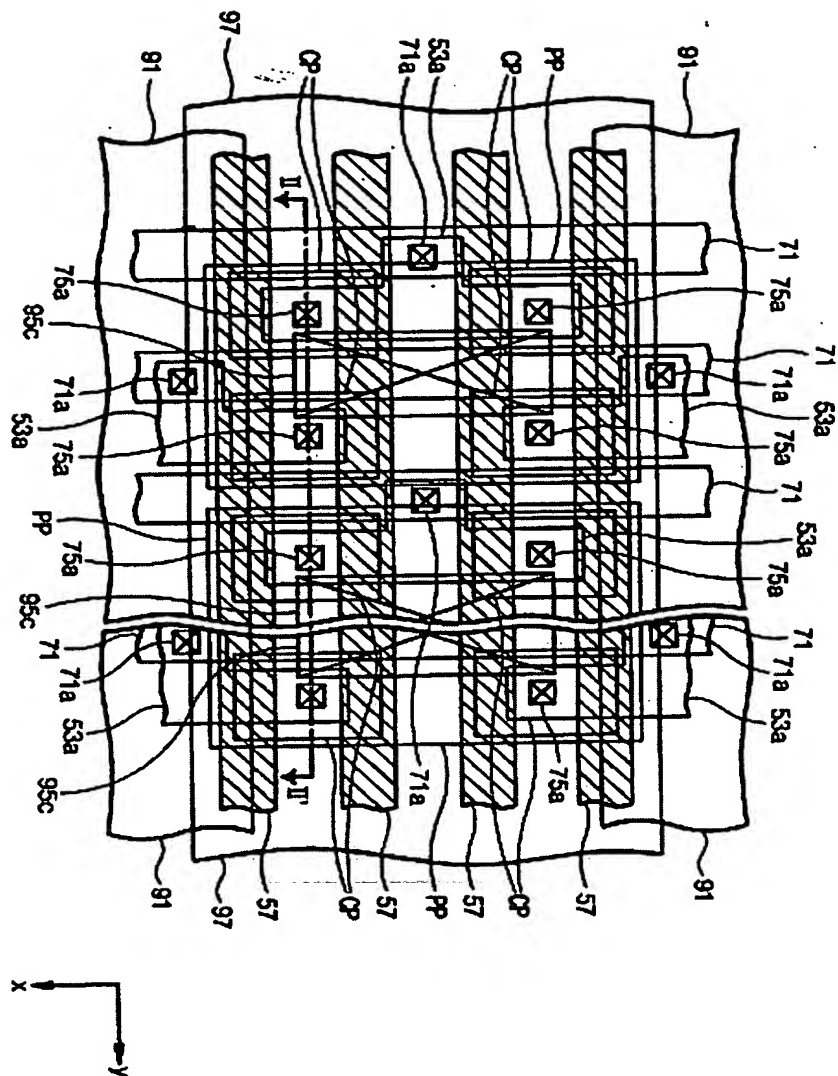
도 23



도 24



**5025**



도 23

